

概説

イーサネット経由で FINESSE モジュールからデータ読み出しをする為のモジュールです。モジュールの物理仕様は VME6U 規格準拠、インタフェースはイーサネットと FINESSE インタフェース^(注1)をそれぞれ一つ持っています。

注 1) 高エネルギー加速研究機構 (KEK) で定めている規格

特徴

- ギガビット・イーサネット 1 ポート
- FINESSE インタフェース 1 スロット
- NIM 規格信号 8 入力+4 出力

仕様

規格 : VME 規格 6U

パネル面

入力 : 8 入力 (レモ型 2 段)

出力 : 4 出力 (レモ型 2 段)

イーサネットコネクタ 1 個

表示素子 : LED 4 個



ブロック図

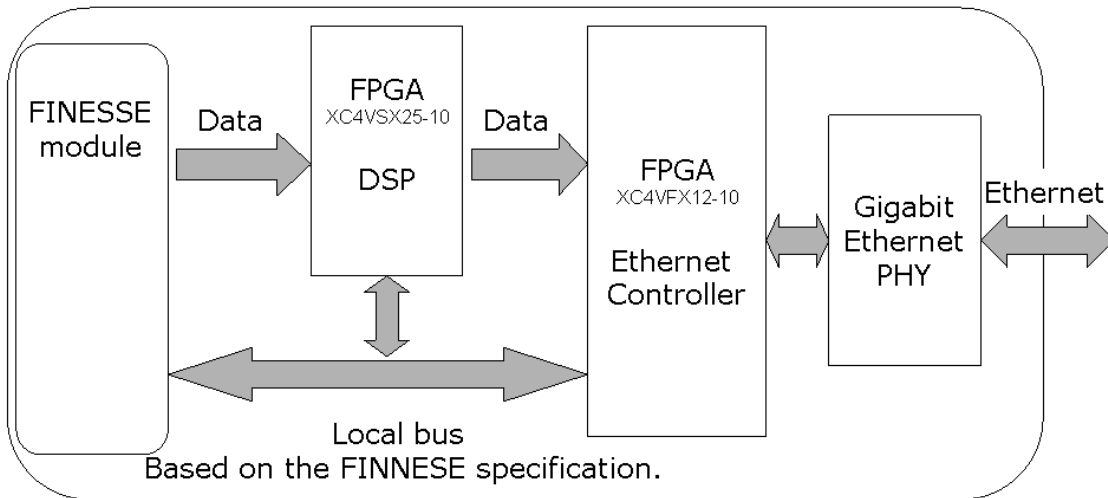
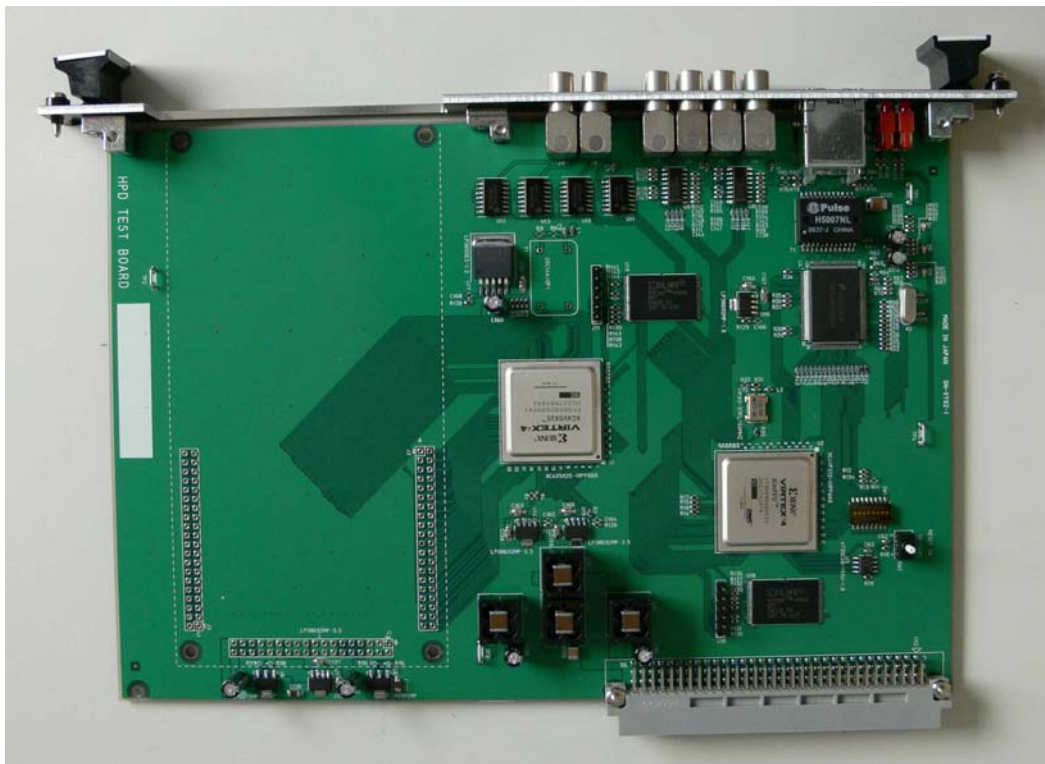


図1 ブロック図

図1にモジュールのブロック図を示します。全ての制御およびデータ読み出しはイーサネット経由で行います。FINESSE モジュールから転送されたデータは DSP FPGA に入力されます。DSP はデータ処理する為の FPGA で、目的に応じてデジタルフィルタ、データリダクション等実装する事が可能です。Ethernet Controller FPGA は DSP から転送されたデータを TCP/IP 処理しイーサネットで接続している PC へデータを転送します。また、PC から Ethernet Controller FPGA を介してローカルバスを制御し DSP FPGA、FINESSE モジュールのレジスタ等をアクセスする事ができます。



FINNESE Interface J2

Pin No.	Signal Names	I/O	Levels	Active	Remarks
1	FF00	IN	LVTTL	----	Input data to
2	FF01	IN	LVTTL	----	COPPER FIFO
3	FF02	IN	LVTTL	----	
4	FF03	IN	LVTTL	----	
5	FF04	IN	LVTTL	----	
6	FF05	IN	LVTTL	----	
7	FF06	IN	LVTTL	----	
8	FF07	IN	LVTTL	----	
9	FF08	IN	LVTTL	----	
10	FF09	IN	LVTTL	----	
11	FF10	IN	LVTTL	----	
12	FF11	IN	LVTTL	----	
13	FF12	IN	LVTTL	----	
14	FF13	IN	LVTTL	----	
15	FF14	IN	LVTTL	----	
16	FF15	IN	LVTTL	----	
17	FF16	IN	LVTTL	----	
18	FF17	IN	LVTTL	----	
19	FF18	IN	LVTTL	----	
20	FF19	IN	LVTTL	----	
21	FF20	IN	LVTTL	----	
22	FF21	IN	LVTTL	----	
23	FF22	IN	LVTTL	----	
24	FF23	IN	LVTTL	----	
25	FF24	IN	LVTTL	----	
26	FF25	IN	LVTTL	----	
27	FF26	IN	LVTTL	----	
28	FF27	IN	LVTTL	----	
29	FF28	IN	LVTTL	----	
30	FF29	IN	LVTTL	----	
31	FF30	IN	LVTTL	----	
32	FF31	IN	LVTTL	----	
33	GATE	I/O	LVTTL	H	
34	FRSTB	OUT	LVTTL	L	Event FIFO Reset
35	FWENB	OUT	LVTTL	L	Event FIFO Write Enable
36	FWCLK	OUT	LVTTL	----	Event Write Clock
37	FFUL	IN	LVTTL	H	Event FIFO Almost Full
38	NWFF	IN	LVTTL	H	Length FIFO Almost Full
39	ABRT	IN	LVTTL	H	
40	BSY	OUT	LVTTL	H	Busy output to TTRX

FINNESE Interface J1

Pin No.	Signal Names	I/O	Levels	Active	Remarks
1	-3.3V	IN	----	----	-3.3V Power Supply Input
2	-3.3V	IN	----	----	
3	-3.3V	IN	----	----	
4	-3.3V	IN	----	----	
5	-3.3V	IN	----	----	
6	-3.3V	IN	----	----	
7	GND	IN	----	----	Ground
8	GND	IN	----	----	
9	GND	IN	----	----	
10	GND	IN	----	----	
11	GND	IN	----	----	
12	GND	IN	----	----	
13	+3.3V	IN	----	----	+3.3V Power Supply Input
14	+3.3V	IN	----	----	
15	+3.3V	IN	----	----	
16	+3.3V	IN	----	----	
17	+3.3V	IN	----	----	
18	+3.3V	IN	----	----	
19	GND	IN	----	----	Ground
20	GND	IN	----	----	
21	GND	IN	----	----	
22	GND	IN	----	----	
23	GND	IN	----	----	
24	GND	IN	----	----	
25	+5V	IN	----	----	+5V Power Supply Input
26	+5V	IN	----	----	
27	GND	IN	----	----	Ground
28	GND	IN	----	----	
29	-5V	IN	----	----	-5V Power Supply Input
30	-5V	IN	----	----	
31	GND	IN	----	----	Ground
32	GND	IN	----	----	
33	+12V	IN	----	----	+12V Power Supply Input
34	GND	IN	----	----	Ground
35	-12V	IN	----	----	-12V Power Supply Input
36	GND	IN	----	----	Ground

FINNESE Interface J3

Pin No.	Signal Names	I/O	Levels	Active	Remarks
1	IRSTB	OUT	LVTTTL	L	User FIFO Reset
2	IENA	IN	LVTTTL	H	FINESSE Enable
3	I02	I/O	LVTTTL	----	User I/O
4	TYP0	IN	LVTTTL	----	Event Type
5	TYP1	IN	LVTTTL	----	
6	TYP2	IN	LVTTTL	----	
7	TYP3	IN	LVTTTL	----	
8	TAG0	IN	LVTTTL	----	Event Label
9	TAG1	IN	LVTTTL	----	
10	TAG2	IN	LVTTTL	----	
11	TAG3	IN	LVTTTL	----	
12	TAG4	IN	LVTTTL	----	
13	TAG5	IN	LVTTTL	----	
14	TAG6	IN	LVTTTL	----	
15	TAG7	IN	LVTTTL	----	
16	LD0	IN	LVTTTL	----	Local Data Bus
17	LD1	IN	LVTTTL	----	
18	LD2	IN	LVTTTL	----	
19	LD3	IN	LVTTTL	----	
20	LD4	IN	LVTTTL	----	
21	LD5	IN	LVTTTL	----	
22	LD6	IN	LVTTTL	----	
23	LD7	IN	LVTTTL	----	
24	LA0	IN	LVTTTL	----	Local Address Bus
25	LA1	IN	LVTTTL	----	
26	LA2	IN	LVTTTL	----	
27	LA3	IN	LVTTTL	----	
28	LA4	IN	LVTTTL	----	
29	LA5	IN	LVTTTL	----	
30	LA6	IN	LVTTTL	----	
31	LWR	IN	LVTTTL	----	Local Read/Write
32	CSB	IN	LVTTTL	L	Local Chip Select
33	TRG+	IN	LVDS	H	
34	TRG-	IN	LVDS	L	
35	REV+	IN	LVDS	H	
36	REV-	IN	LVDS	L	
37	RCK+	IN	LVDS	H	
38	RCK-	IN	LVDS	L	
39	SCK+	IN	LVDS	H	
40	SCK-	IN	LVDS	L	