

# GN-11108-1 SEABAS MAIN BOARD V1.2

シーバス メイン プリント基板 V1.2

(2014/3/1)

## 概説

この シーバス テスト システムは オリジナル集積回路テスト用に 高エネルギー加速器研究機構にて 考案、開発されたものです。FPGA2個を搭載したメインボード、検査各種 IC 毎に用意された サブボードより構成されております。詳細は<http://rd.kek.jp/project/soi/SEABAS/>に記載されています。

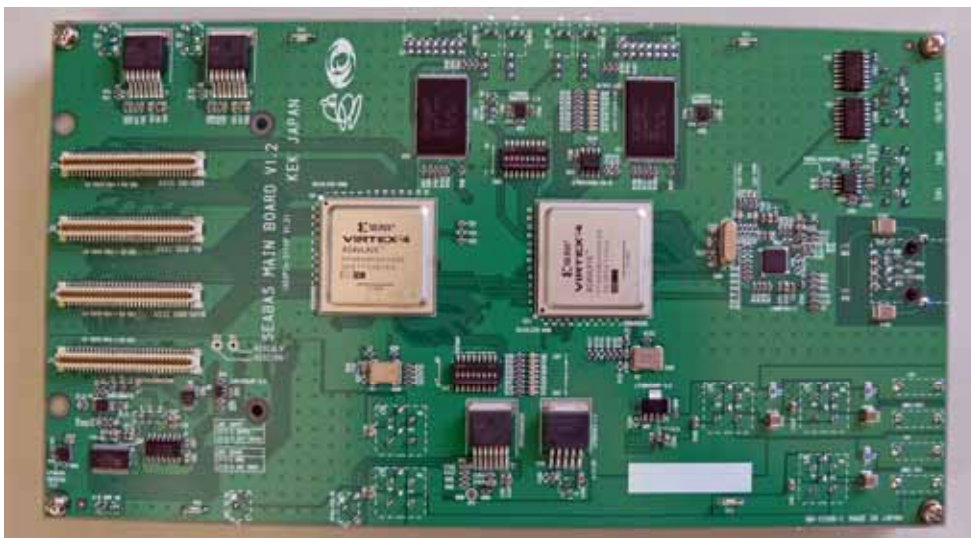
GN-11108-1 SEABAS1.2 MAIN BOARD (SOIPIX-SiTCP)

GN-11108-1(K) SEABAS1.2 MAIN BOARD (OPTION設定基板)

SEABAS (Soi EvAluation BoArd with Sitcp)は SOI Pixel チップの試験及び高速読み出しの為汎用ボードで、各 SOI チップに合わせたサブ・ボードと一緒に用います。サブボードとの間は、IEEE P - 1386 Common Mezzanine Card Standard 64 ピンコネクター4個で接続されます。

SiTCP はハードベースの TCP プロセッサです。全てのプロトコル処理をハードウェアで行います。

ハード上で処理するので高速転送する事が可能でイーサネット回線の帯域上限で安定して TCP データ転送することが出来ます。このモデルは SEABAS(GN-0836-1) の機能拡張版になります。



- 100MHz イーサネット 1 ポート
- NIM 規格信号入出力 4 系統
- 65MHz FADC ,DAC 集積回路標準設置 各 1 CH
  
- USER\_FPGA XC4VLX25-10FF668C 設置
- デップスイッチ 表示 LED 付き
- 同時 デジタル入力 120 チャンネル

基板素材：FR4 8層基板

サイズ：140X195 MM

使用電源：±5V、2電源供給

## アンプゲインの 初期設定 時定数に関して

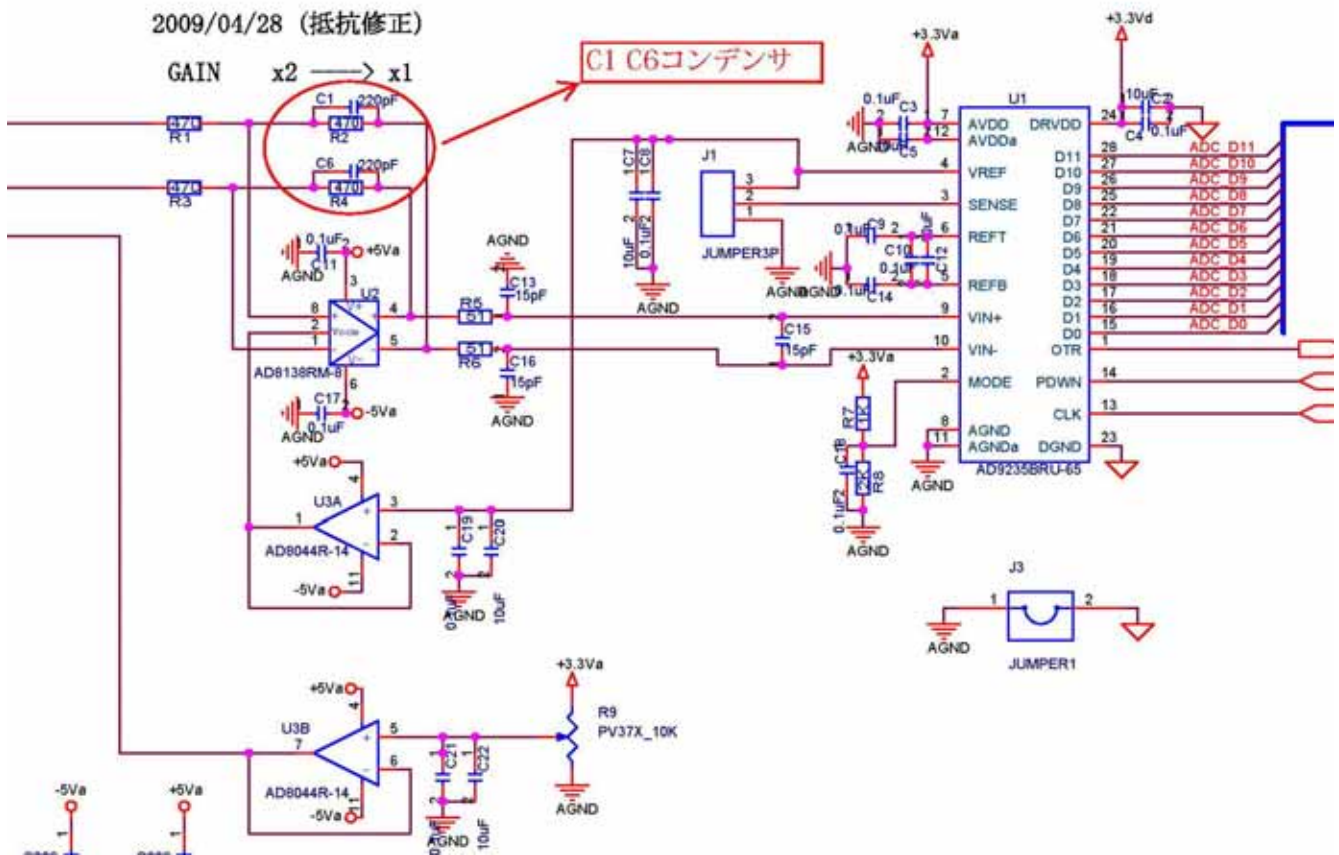
この商品は 内部に1CHの差動入力ADCチップを内蔵しております

内部回路 C1 C6 には 工場出荷時に 波形整形コンデンサーとして 220PFが入っております

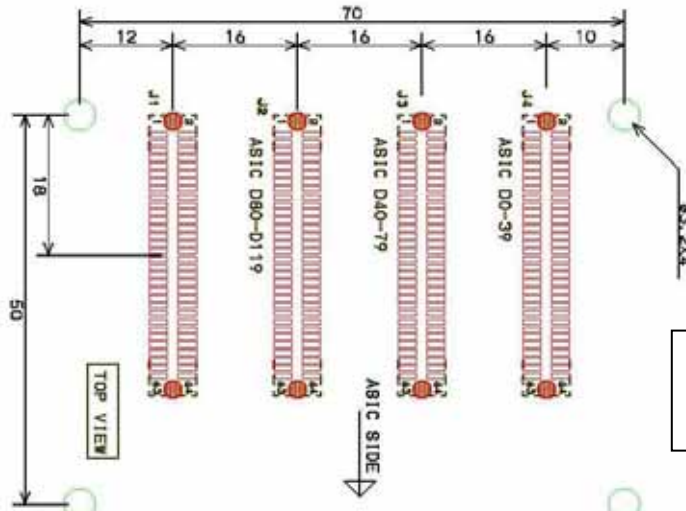
内部アンプの調整で 内部設置220PFが 不必要な方は 外してお使い下さい

ご自身で 出来ない場合 ご指示いただければ C1、C6のチップ変更を おこないます

事前にご連絡いただければ 納品の際 修正変更を加えます

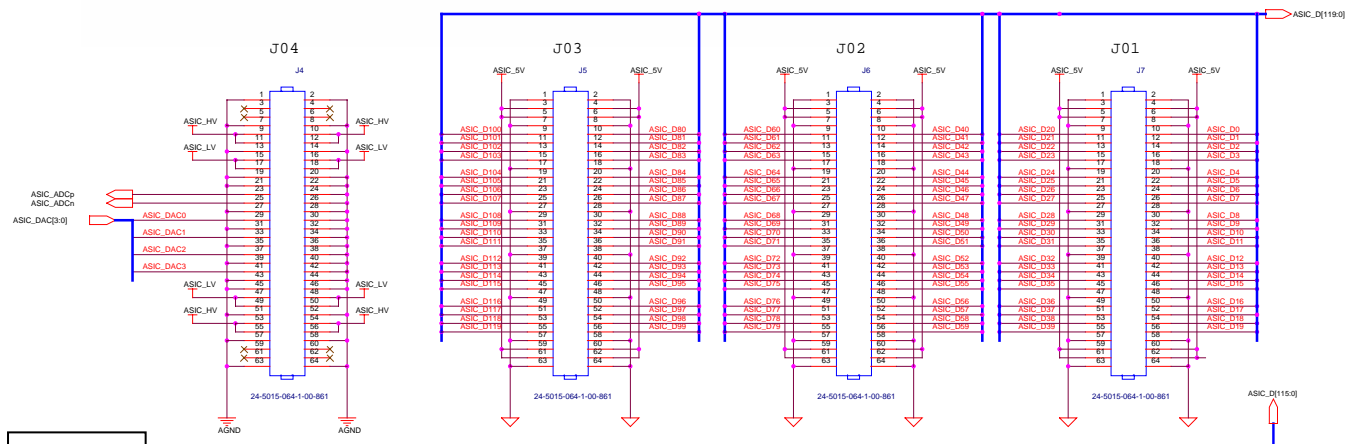


検出器側 テスト基板 製作資料

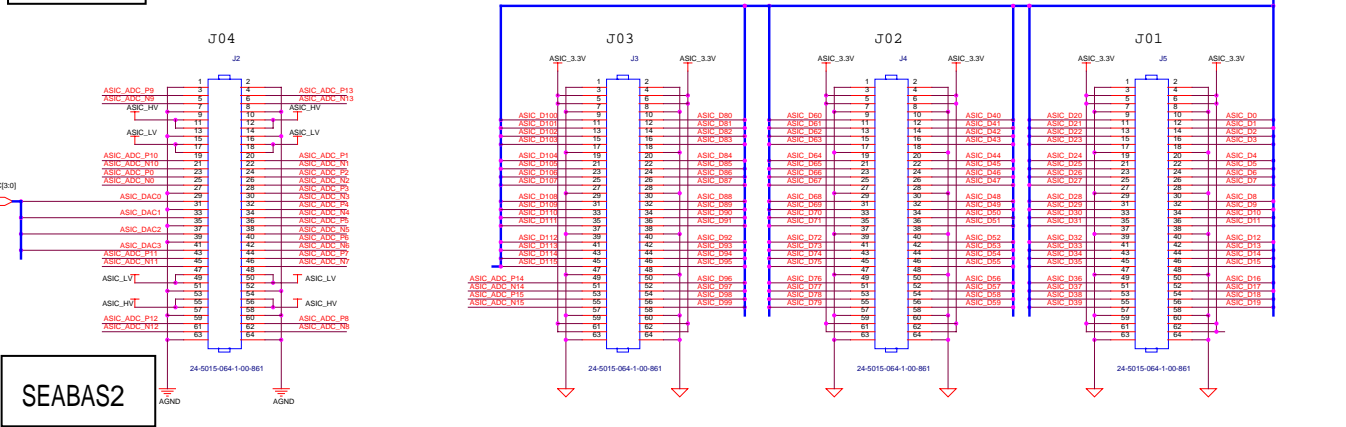


サブ基板 表面からの図です  
コネクタは基板背面につきます

基板接続用コネクタ (サブカード側) モレックス社 71436-2464 RS 型番 670-6495



SEABAS



SEABAS2

【サブ基板側 検出器装着用 テスト BGA ソケットに関して】

ソケット 15X15PIN 山一電機 NP89-22508-G4-BF RS 型番 372-3510 又は 182-8354

ソケット 17X17PIN 山一電機 NP89-28906-G4-BF RS 型番 372-3532

ソケット中央 穴あけ寸法は 任意のため 図面はありません