

GN-1446-1 SEABAS2A BASE BOARD

シーバス 2A 基板

概説

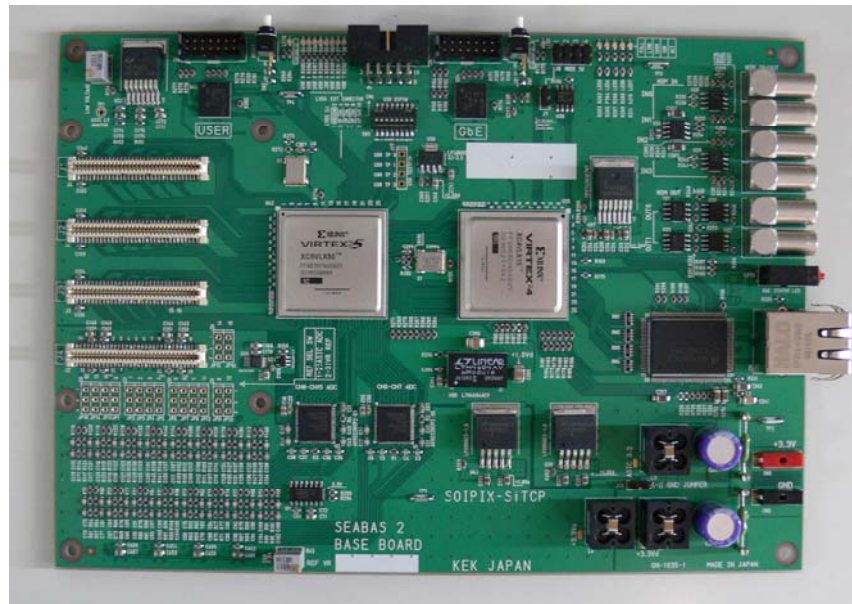
この シーバス テスト システムは オリジナル集積回路テスト用に 高エネルギー加速器研究機構にて 考案、開発されたものです。FPGA2 個を搭載したメインボード、検査各種 IC 毎に用意された サブボードより構成されております。詳細は<http://rd.kek.jp/project/soi/SEABAS/>に記載されています。

- GN-1446-1 SEABAS2A MAIN BOARD (SOIPIX-SiTCP)
- GN-1446-1R SEABAS2A MAIN BOARD (OPTION設定基板)

SEABAS (Soi EvAluation BoArD with Sitcp)は SOI Pixel チップの試験及び高速読み出しの為に汎用ボードで、各 SOI チップに合わせたサブ・ボードと一緒に用います。サブボードとの間は、IEEE P-1386 Common Mezzanine Card Standard 64ピンコネクタ4個で接続されます。

SiTCPはハードベースのTCPプロセッサです。全てのプロトコル処理をハードウェアで行います。

ハード上で処理するので高速転送する事が可能でイーサネット回線の帯域上限で安定してTCPデータ転送することが出来ます。このモデルはGN-11108-1の機能拡張版になります。

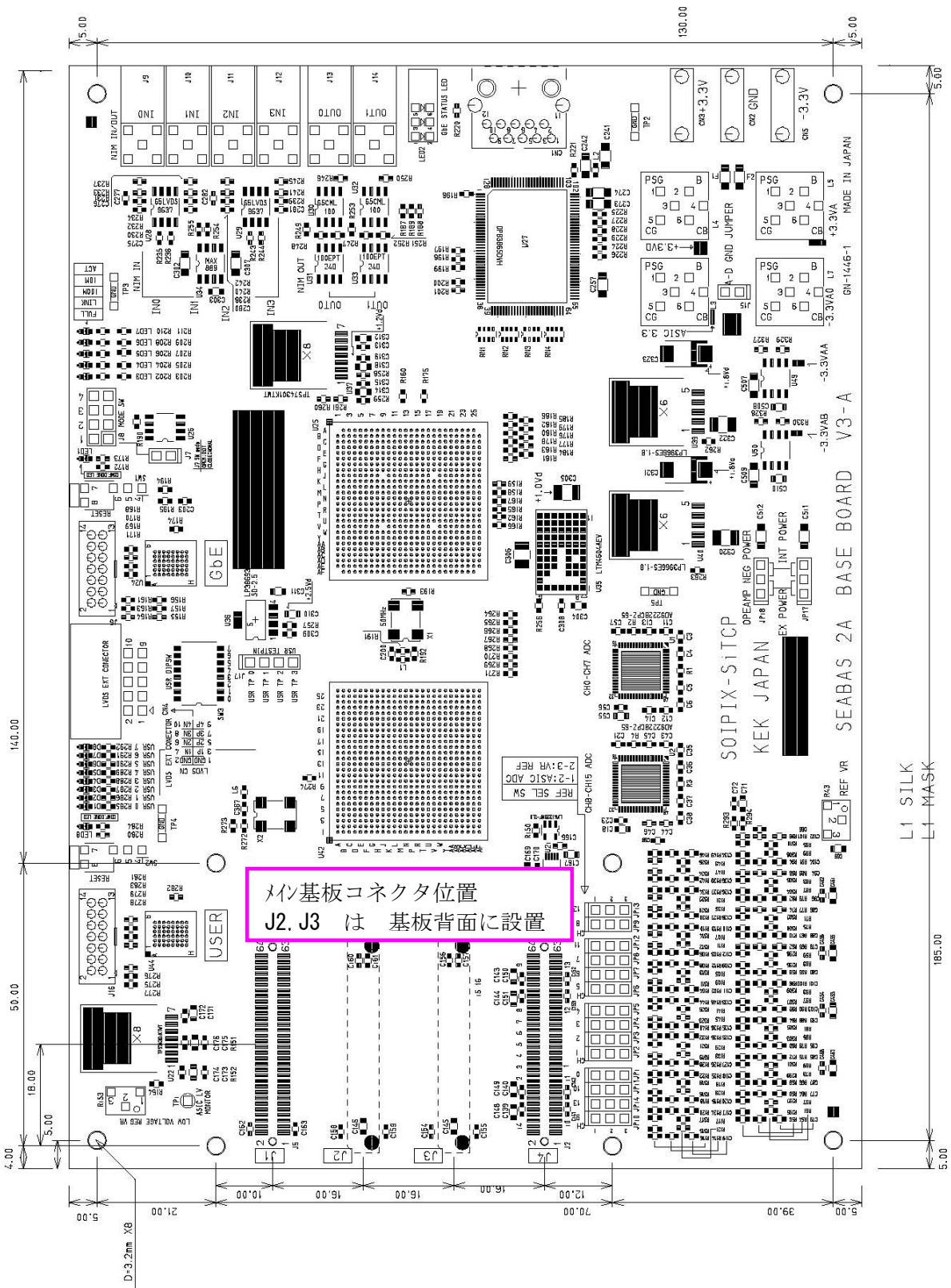


- 1G イーサネット 1ポート
- NIM規格信号入出力6系統
- ADC, DAC 標準搭載
- 65MHz FADC16ch 12BITS FDAC AD9222ABCPZ-65 集積回路標準設置
- EXT LVDS PORT 4CH (HIF-3FC-2.54DS) 差動出力
- LVDS 信号 41ペア対応 (基板背面に設置)
- USER_FPGA ザインクス社 XC5VLX50-1FFG676 I/O数 440
- SITCP_FPGA ザインクス社 XC4VLX15-10FFG668 I/O数 320
- 表示 LED 付き (消灯機能付き)
- 動作温度 0~85度

基板素材：FR4 8層基板

サイズ：140X195 MM

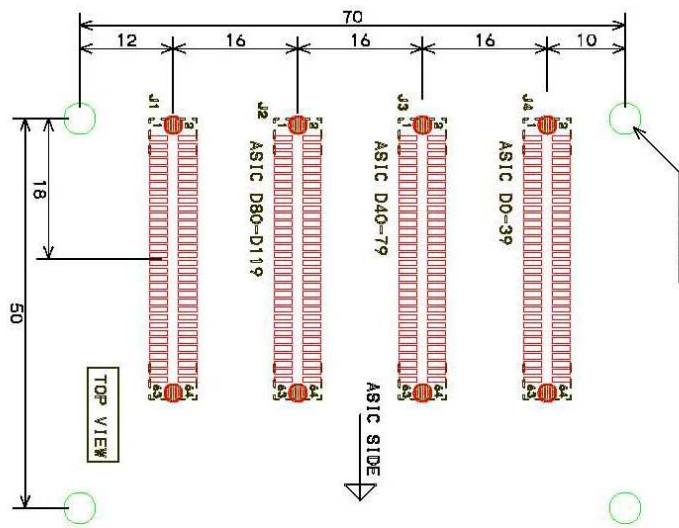
使用電源：+3.3V、単一電源供給 消費電流 3A



メイン基板用 LVDS 信号用 J2, J3 コネクタ; ERF8-040-05.0-S-DV-K-TR (SAMTEC 社製) 80ピンメス
 サブ基板 LVDS 信号用 J2, J3 コネクタ; ERM-040-05.0-S-DV-K-TR (SAMTEC 社製) 80ピンオス
 検出器側コネクタはケーブル対応もできます。ケーブル対応の場合は下記参照してください。

<http://www.samtec.com/documents/webfiles/pdf/ercd.pdf>

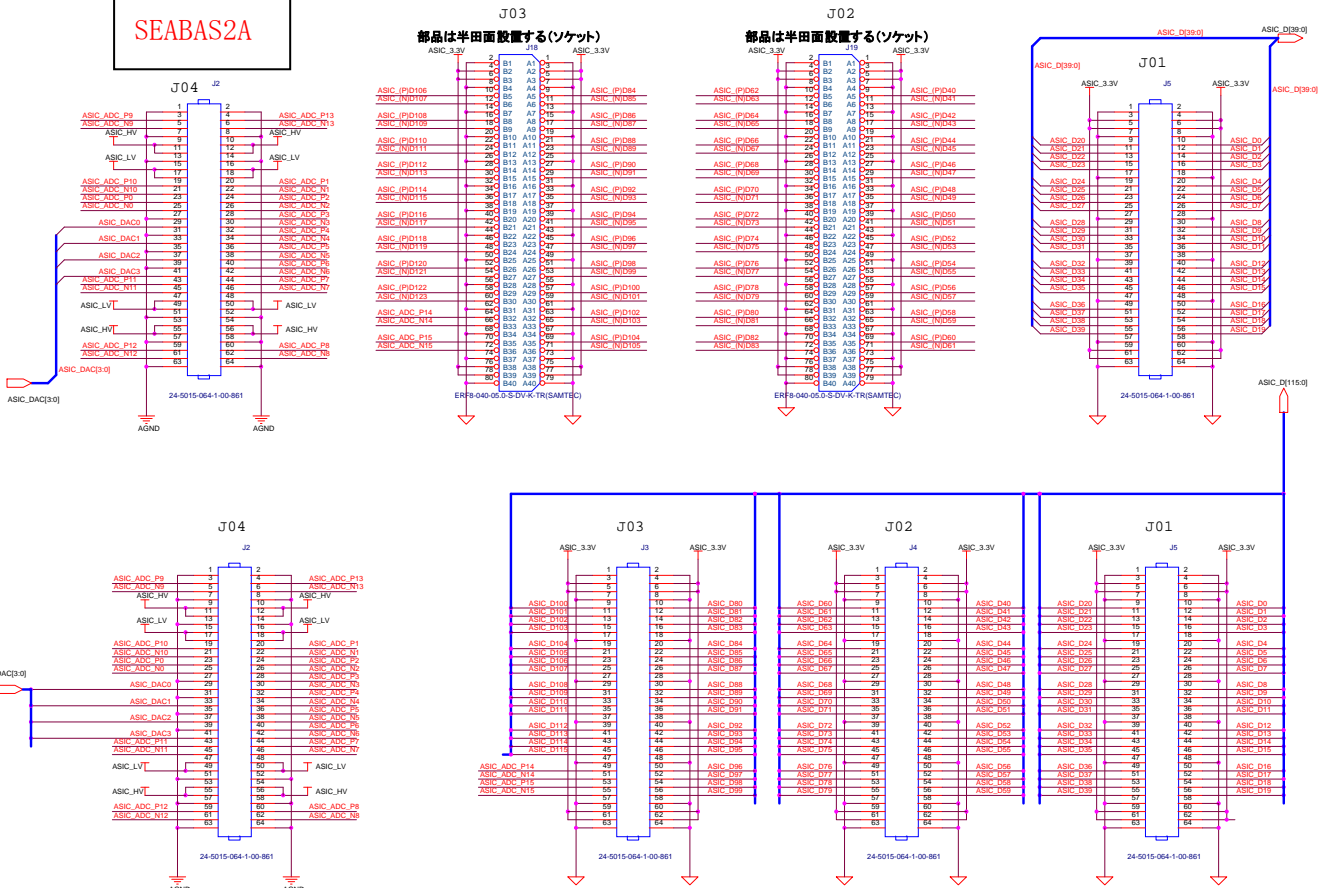
検出器側 テスト基板 製作資料



メイン基板コネクタ位置
J2, J3 は基板背面に設置されており
 コネクタ中央位置座標は同じ位置です。
 (図面は GN-11108 の穴位置図面です)

基板接続用サブカードコネク;モレックス社 71436-2464 RS 型番 **670-6495 (J1,J4)**
 サブカードコネク;ERM-040-05.0-S-DV-K-TR (SAMTEC 社製)80 ピンオス (J2,J3)

SEABAS2A



参考ピンアサイン資料 SEABAS2 (別モデル)

【サブ基板側 検出器装着用 テスト BGA ソケットに関して】

ソケット 15X15PIN 山一電機 NP89-22508-G4-BF RS 型番 372-3510 又は 182-8354
 ソケット 17X17PIN 山一電機 NP89-28906-G4-BF RS 型番 372-3532