

以下にモニターする VME-bus 上の信号線と VME-bus monitor で生成、使用される制御信号の分類を記す。

信号線 (VME-bus 上)		制御信号 (ボード上で生成)
<ul style="list-style-type: none"> ・A1~31 (アドレス) ・AM0~5 (アドレス モデファイア) ・IACK* (インタラプト アクノリッジ) ・LWORD* (ロングワード) ・AS* (アドレス ストロープ) ・BLT (ブロック転送であることを示す。 ※注1) 	}	<p style="text-align: right;">* 頭: リーディングエッジでラッチ</p> <p style="text-align: center;">A_G</p> <p style="text-align: right;">AS 頭</p>
<ul style="list-style-type: none"> ・DATA 0~31 (データ) 	}	<p style="text-align: center;">D_G1</p> <p style="text-align: right;">R- DTACK 頭 W- DS 頭</p>
<ul style="list-style-type: none"> ・WRITE* (ライト) ・DS0*, 1* (データ ストロープ) ・DTACK* (データ アクノリッジ) ・BERR* (バス エラー) 	}	<p style="text-align: center;">D_G2</p> <p style="text-align: right;">DS DTACK BERR</p>
<ul style="list-style-type: none"> ・BR0*~3* (バス リクエスト) 	}	<p style="text-align: center;">B_G (BBSY*)</p> <p style="text-align: right;">BR 頭</p>
<ul style="list-style-type: none"> ・IRQ1*~7* (インタラプト リクエスト) 	}	<p style="text-align: center;">IRQ_G</p> <p style="text-align: right;">IACK 頭</p>

以下の信号はラッチさせないため制御信号は必要ないので信号線のみ記す。

- ・BBSY* (バス ビジー)
- ・BCRL* (バス クリア)
- ・SYSFAIL* (システム フェイル)
- ・SYSRESET* (システム リセット)
- ・+5V (+5V 電源)
- ・+12V (+12V 電源)
- ・-12V (-12V 電源)

※ 注 1

この信号は VME-bus 上の信号ではない。アドレス モデファイアをデコードしブロック転送モードであることを表示するものである。