

# GNV-252

# VME GPIO UNIT (XC6SLX)

VME GPIO ユニット (XC6SLX)

## 概説

このモジュールは、物理学実験、素粒子実験等に使用される VME 規格のモジュールです。フロントパネルには4つのLEMO 型コネクタを備えNIM 信号での入出力が可能です。対のコネクタ毎にボード内部にある切り替えスイッチ(間違えないようにレバーの方向で入出力が決まる)により入出力を選択することが可能でLEDの色でその入出力方向がパネル面よ判断が出来ます。

任意の機能付サブボードを2枚実装出来、FPGA (ザイリンクス) のファームウェアにより、サブボードに合わせた入出力が出来るようになります。(ドータ・ボードの種類は表3 を参照)

FPGAはEPROMにより電源投入後、自動でファームウェアが読み込まれます。

VMEプロトコルはCPLDにより制御します。

内部にはFPGA を配してドータ・ボードとの信号の入出力が出来るようになっており、ユーザーが任意にロジックを組み上げて処理を行うことが可能です。

KEK カッパー規格のKEK-J0 を標準でS1～S7の差動I/Oをサポートしています。(カッパーマザー1台対本品1台での対応です)。

GNV-251との違いは VIRTEX XCV150-PQ240A からのFPGA 変更でXC6SLX75-2FGG484C が搭載されております。

## 特徴

LEMO×4 : NIM 入出力 (切り替え可能)

サブボード2枚組み込み可能 (サブボード別売)

J0, J1, J2 標準仕様 (KEK-VME J0 コネクタ使用)

(J0 コネクタ付の場合 6U用 KEK-VME ラックをご用意下さい。)

内部クロック 32MHz

使用FPGA : XILINX **Spartan-6** XC6SLX75-2FGG484C

[http://www.xilinx.com/support/documentation/data\\_sheets/ds160.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf)

VME 6U 1幅

標準 VME 規格ラック用 J0 コネクタ無し (J0 はオプションです)

(注 : J0 無しの本体には-5V系は電流供給1.3A迄ですので

サブボード GNV - 260 は2台装着不可です)

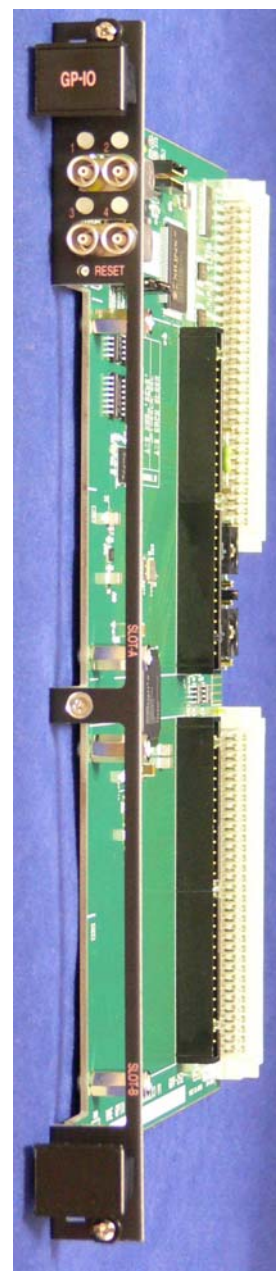
使用電源 : J0 有り +5V, -5V 使用

+5V : 0.3A                      -5V : 0.17A

: J0 無し +5V, -12V 使用

+5V : 0.3A                      -12V : 0.17A

形状 : VME 6U 1幅モジュール



注文に際して **J0 コネクタの有無、クロックの周波数変更要望は注文時 必ず 指示してください。**

---

## 仕様

### ●入出力信号

INPUT/OUTPUT SIGNAL 計4個

(NIMファースト負信号, 入出力インピーダンス  $50\Omega$ , LEMO型コネクタ×4)

コネクタは2対×2を装備して1・2及び3・4の対毎に入出力の切り替えが出来るようになっており、その状態はそれぞれパネル面LEDにより確認できます。入出力状態に応じてLEDの色を変化させます。入出力切り替えSW LED緑:Input LED赤:Output 入出力は内部トグルスイッチで簡単に変更可能です。またリアJ0よりS1~S7のLVDS差動出力をサポートしております

VME PROTOCOL はCPLD によりショート・標準・拡張などJ-TAG を使って任意に組み込む事が可能。

VME ADDRESS(標準16~23,拡張24~31)はDIP スイッチで設定します。

ドータ・ボードとFPGA でボードに合わせた入出力が任意に出来ます。

FPGA へのファーム・ウェア入力RAM・VME DATA LINE・J-TAG を選択出来ます。

PUPTH ボタンを配しておりますのでRESET 等としても利用できます。

その他 J-0 Bus 用にC1/C2 オープンコレクター 入力素子を備えております。

● KEK-J0 コネクタについての詳細は 下記参照願います(カッパ側からの説明です)

<http://www-online.kek.jp/~daqplatform/kekvme/backplane/KEKVMEspecv1.pdf>

### ●適合サブボード仕様

サブボードサイズは  $W \times D \times H = 84 \times 116.5 \times 15.5$  (mm) です。

(スタック用コネクタは  $d = 10.5$  mm使用していますのでそれ以外のスペースに部品を実装可能です。

## サブボード実装例

### 本製品



### ドータ・ボード 設置時



---

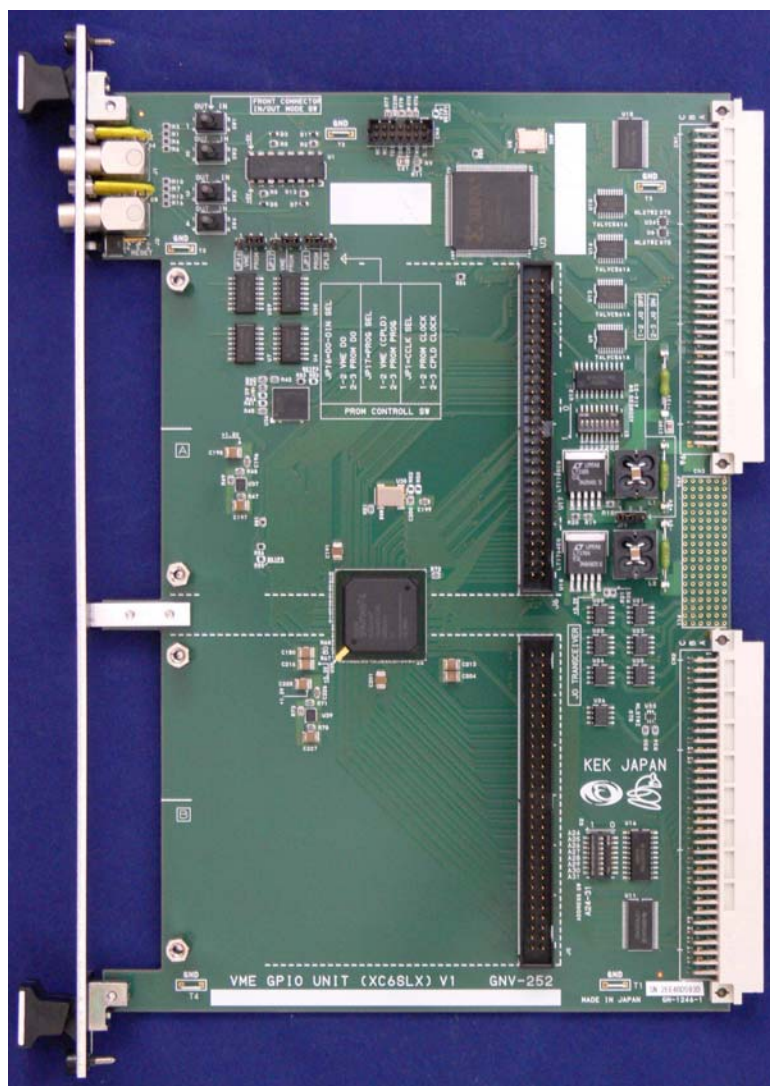
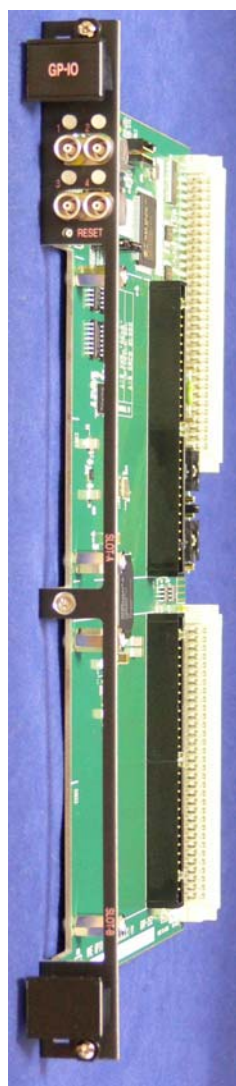
# GNV-252

# VME GPIO UNIT (XC6SLX)

---

MODEL            GNV-252

取扱説明書



はじめに

写真は GNV-252 です

ご選定 ありがとうございます

この VME モジュールは、物理学実験、素粒子実験用に開発され高速度データ収集に使われる計測器です。使用に際しては、必ず本書を一読されてから 本モジュールを操作される事を御願いたします

---

---

## 詳細仕様

### ●入出力信号

INPUT/OUTPUT SIGNAL 計4個

(NIMファースト負信号, 入出力インピーダンス  $50\Omega$ , LEMO型コネクタ×4)

コネクタは2対×2を装備して1・2及び3・4の対毎に入出力の切り替えが出来るようになっており、その状態はそれぞれ前面LEDにより確認できます。入出力状態に応じてLEDの色を変化させます。入出力切り替えSW LED緑:Input LED赤:Output 入出力は内部トグルスイッチで簡単に変更可能です。J0より S1～S7のLVDS差動出力をサポートしております

VME PROTOCOL はCPLD によりショート・標準・拡張などJ-TAG を使って任意に組み込む事が可能。

VME ADDRESS(標準16～23,拡張24～31)はDIP スイッチで設定します。

ドータ・ボードとFPGA でボードに合わせた入出力が任意に出来ます。

FPGA へのファーム・ウェア入力RAM・VME DATA LINE・J-TAG を選択出来ます。

PUATH ボタンを配しておりますのでRESET 等としても利用できます。

その他 J-0 Bus 用にC1/C2 オープンコレクター 入力素子を備えております。

● KEK-J0 コネクタについての詳細は 下記参照願います(カッパ側からの 説明です)

<http://www-online.kek.jp/~daqplatform/kekvme/backplane/KEKVMEspecv1.pdf>

### ●適合サブボード仕様

サブボードサイズは  $W \times D \times H = 84 \times 116.5 \times 15.5$  (mm) です。

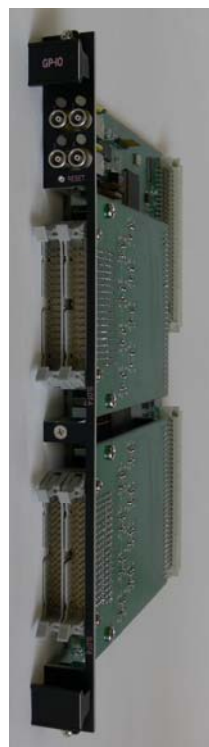
(スタック用コネクタは  $d = 10.5$  mm使用していますのでそれ以外のスペースに部品を実装可能です。取り付けねじ等は 本体に附属しております。紛失しないようお願いいたします。

## サブボード実装例

### 本製品



### ドータ・ボード 設置時



---

## 内部スイッチ、ジャンパーピン 設定指示

JP10: J0選択スイッチ その1(-5V電源駆動IC動作 -5V系専用です)

1-2 J0 OFF

2-3 J0 ON

JP9: J0選択スイッチ その2(-5V選択)

1-2 J0 ON (J0 -5系使用)

2-3 J0 OFF (J1 -12V系使用)

CN4: JTAG CN

JP1:CPLD CLOCK 選択

1:CLK-2:CCLK ON (MEMORY 駆動)

2:CCLK-3:GCLK ON (FPGA 駆動)

JP17: PROGRAM 選択

1-2 PROG FPGA⇔MEMORY

2-3 CFD CPLD⇔FPGA

JP16: D0 選択

1-2 D0/DIN CPLD⇔MEMORY

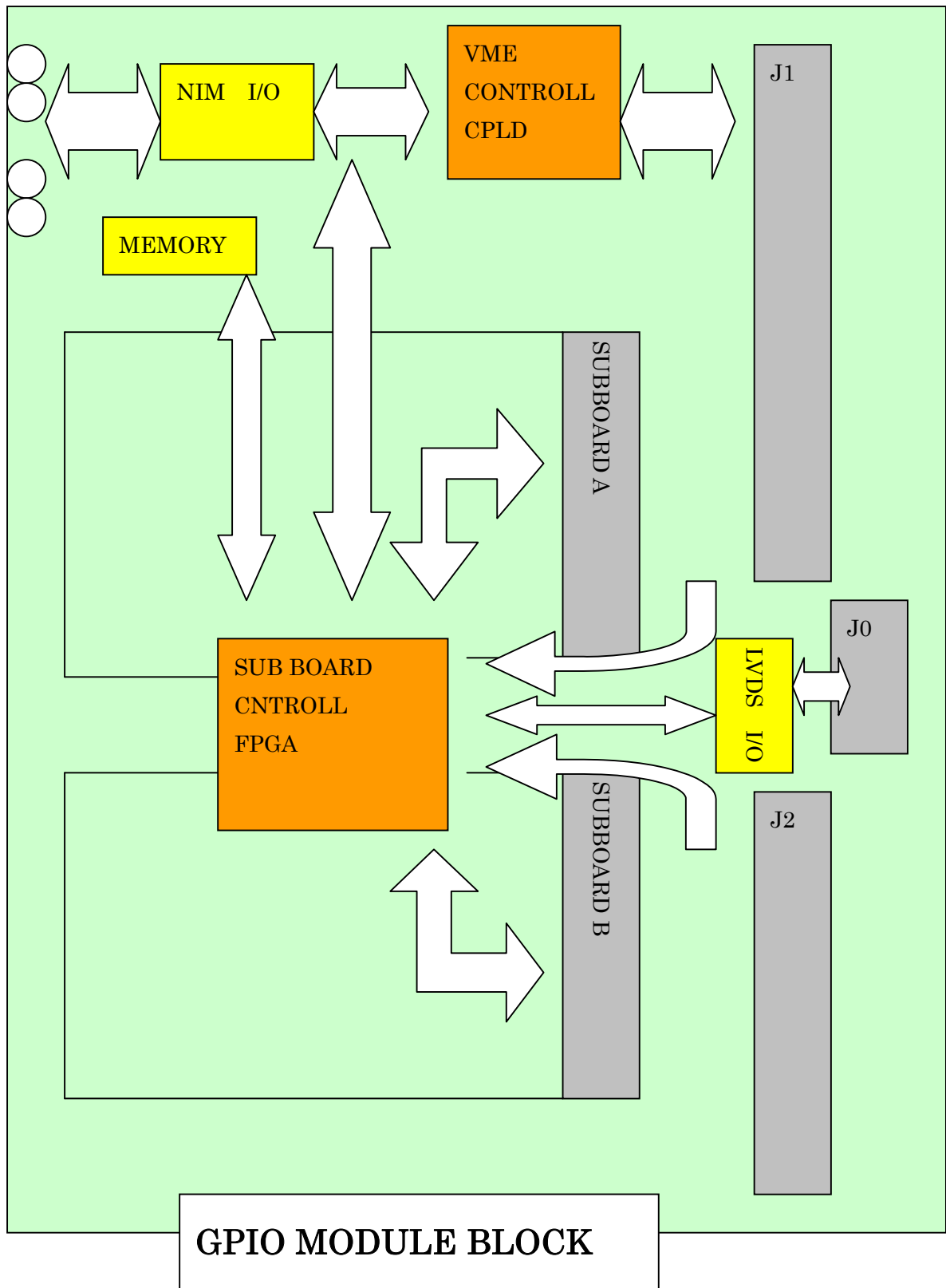
2-3 D0 FPGA⇔MEMORY

## J0設置ボードの 差動I/O 集積回路に関して

J0コネクタを利用する 差動信号入出力 IC SN65MLVD200Dが設置されております  
差動抵抗100Ωはオプション扱いですご希望の方は取り付けますので  
ご指示ください。

**注意：J0コネクタが付いているボードを 通常J0無しバックプレーン  
に 挿入しないでください。故障の原因になります。**

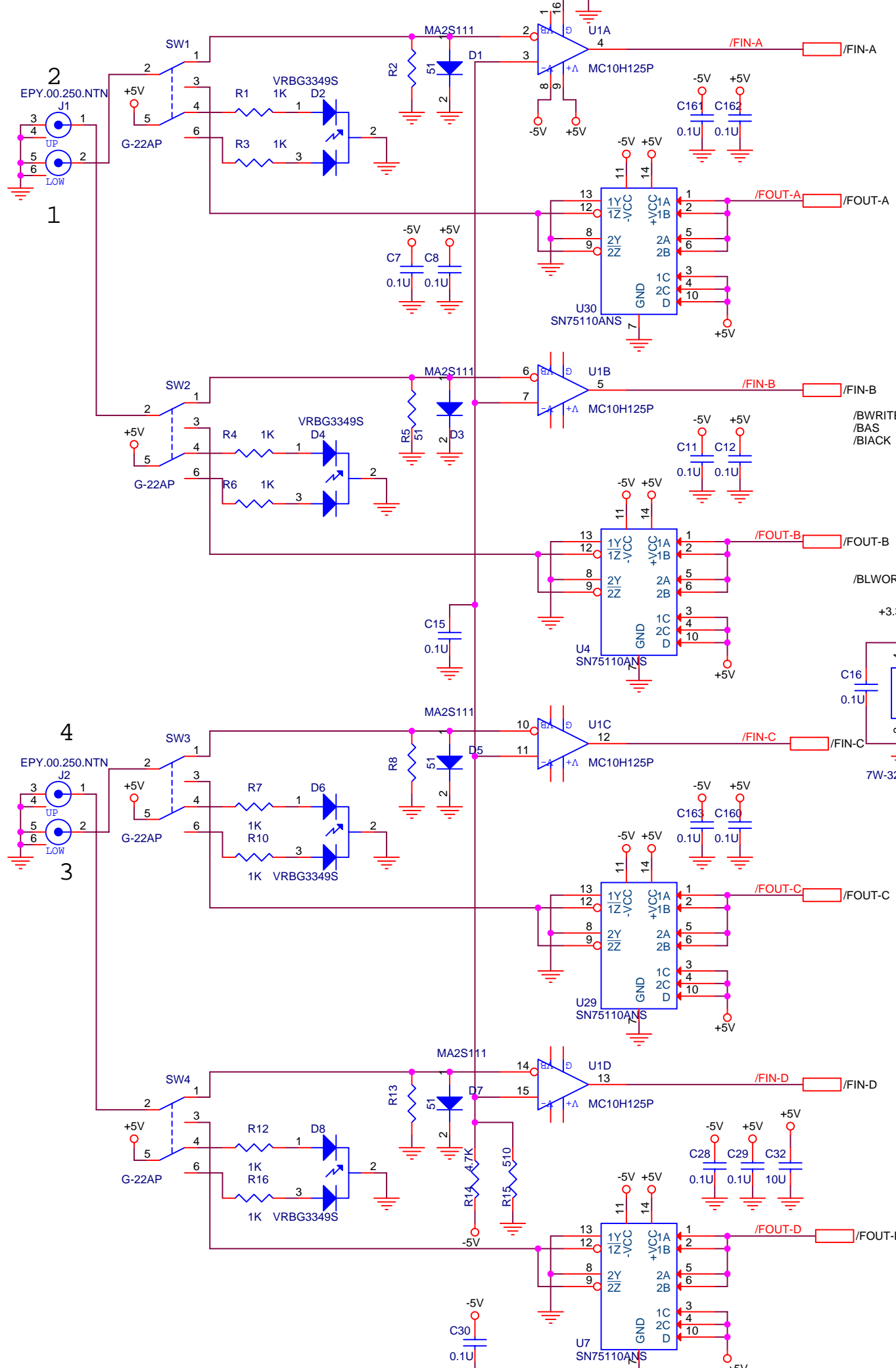
---



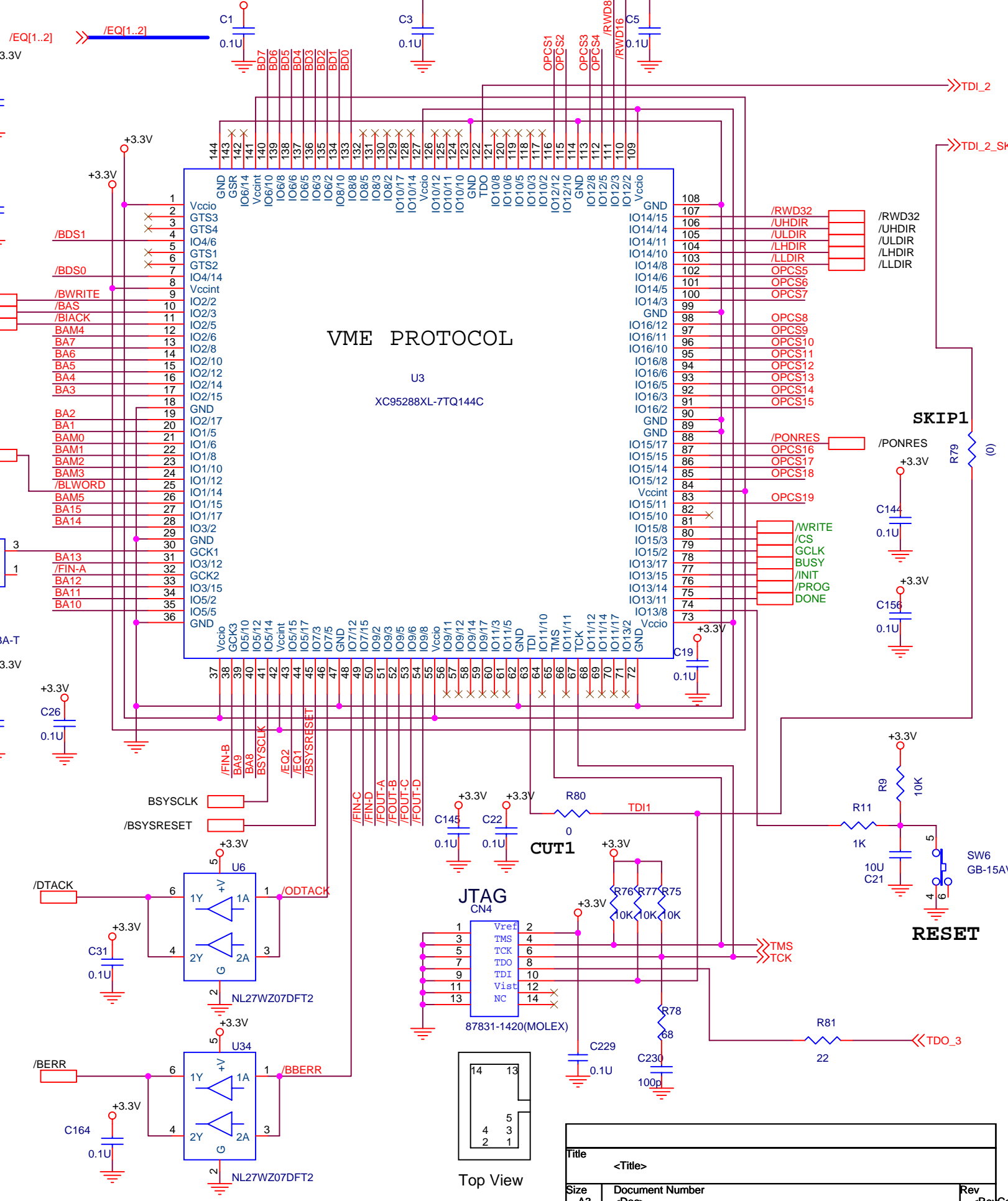
ご注意：J0 未実装モデルは LVDS 信号の送受信はできません。

：J0 未実装モデルの -5V 電源は VME 標準 -1.2V から作っております。  
 -5V 系の電流量が多いサブボードは 駆動できない場合があります。

FRONT I/O



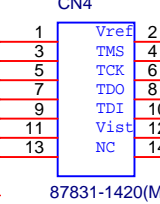
- BD[0..7] >> BD[0..7]
- BA[1..15] >> BA[1..15]
- /BDS[0..1] >> /BDS[0..1]
- BAM[0..5] >> BAM[0..5]
- OPCS[1..19] >> OPCS[1..19]
- /EQ[1..2] >> /EQ[1..2]



VME PROTOCOL

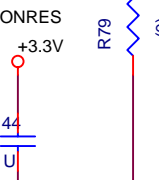
U3  
XC95288XL-7TQ144C

JTAG

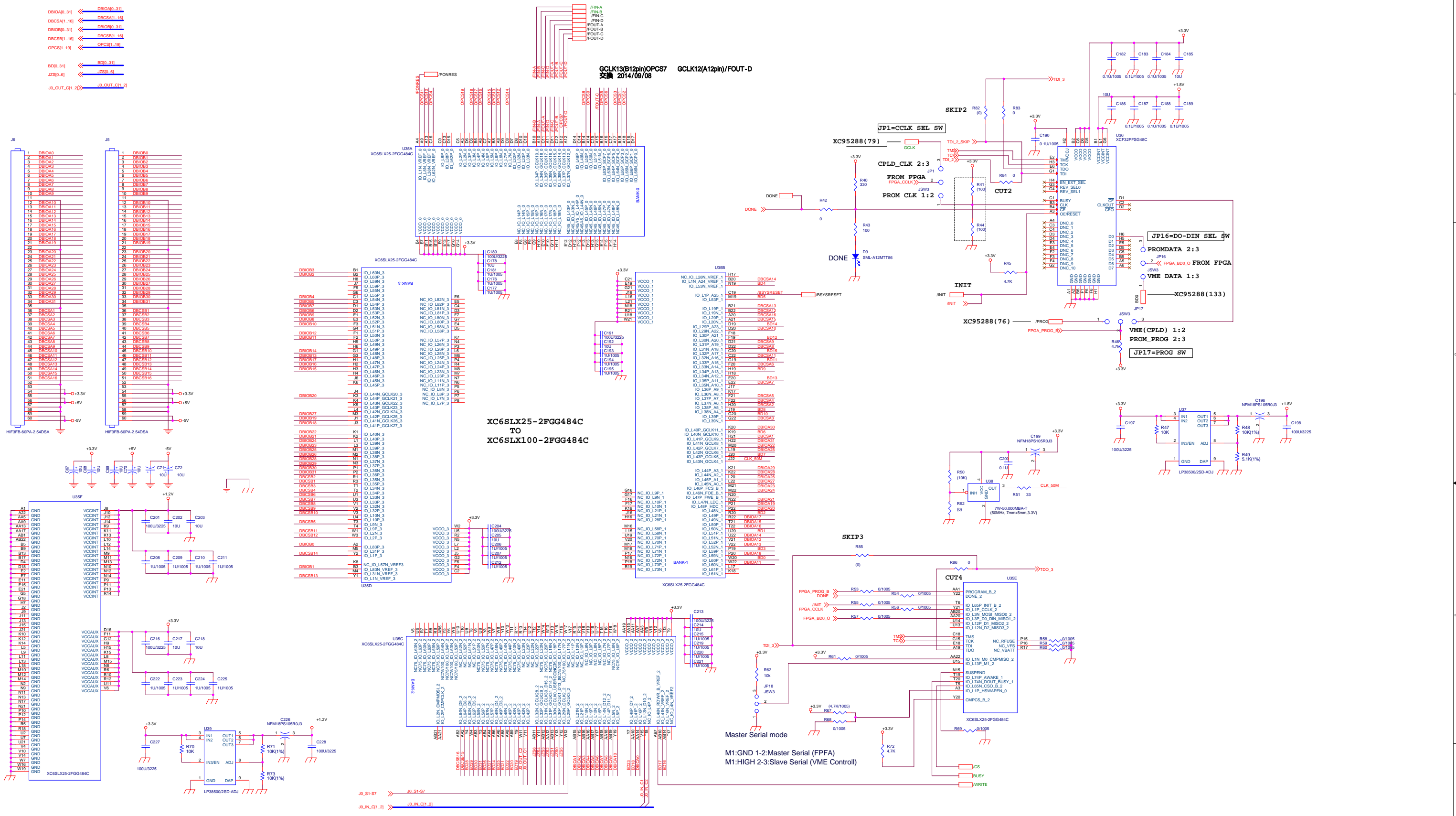


Top View

RESET



Title		<Title>
Size	Document Number	Rev
A3	<Doc>	<RevCode>
Date:	Tuesday, September 09, 2014	Sheet 1 of 4

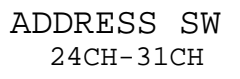
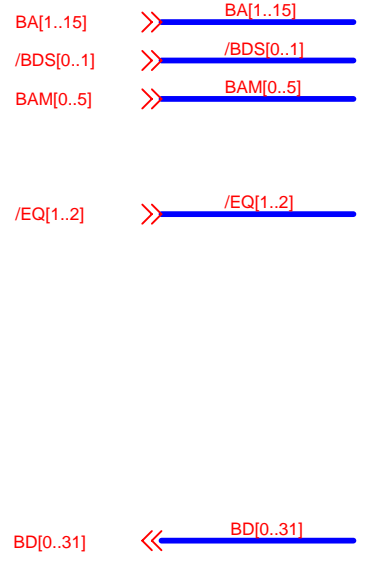
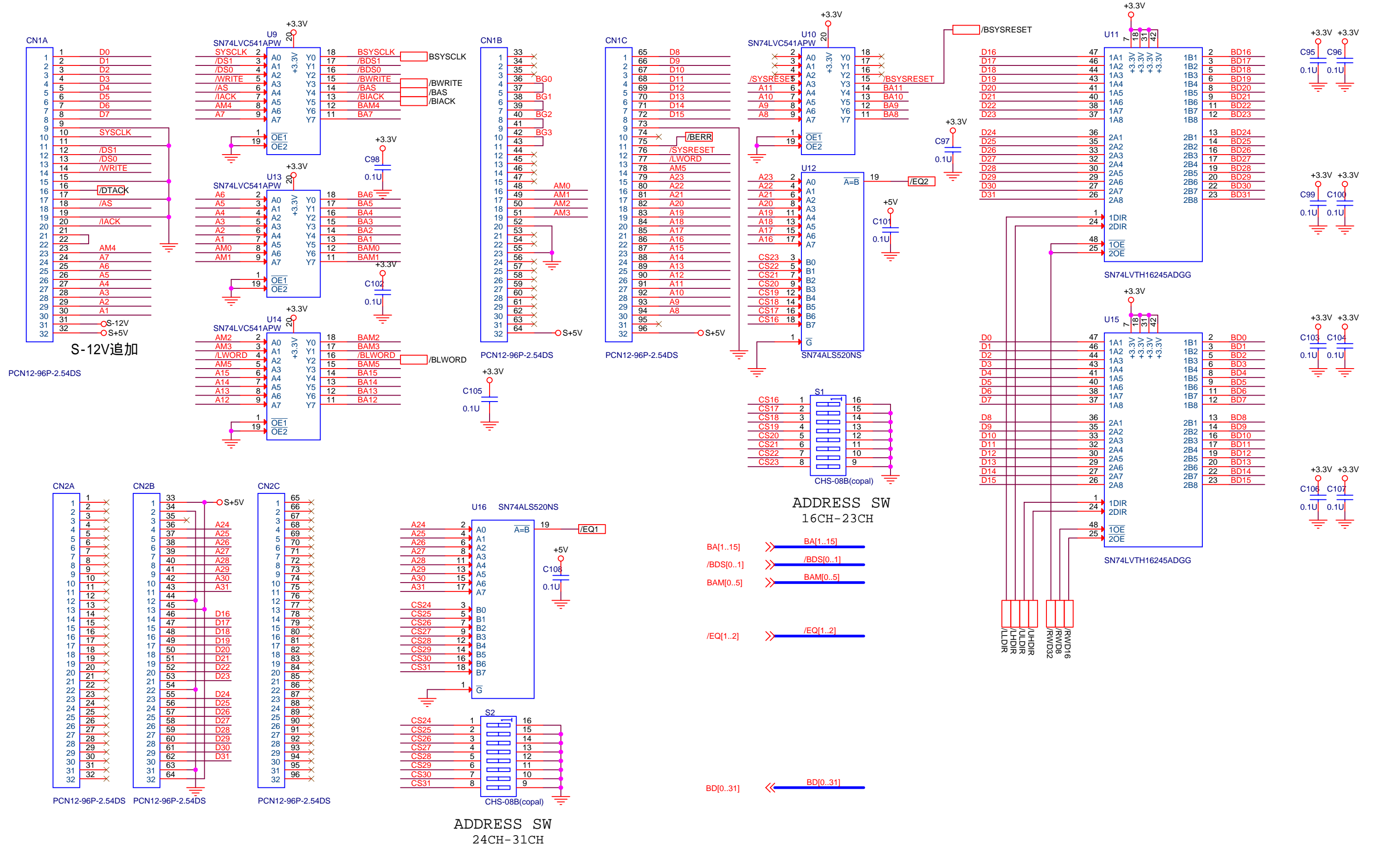


Rev	Title	Rev
A1	Document Number <Doc>	<Rev Code>

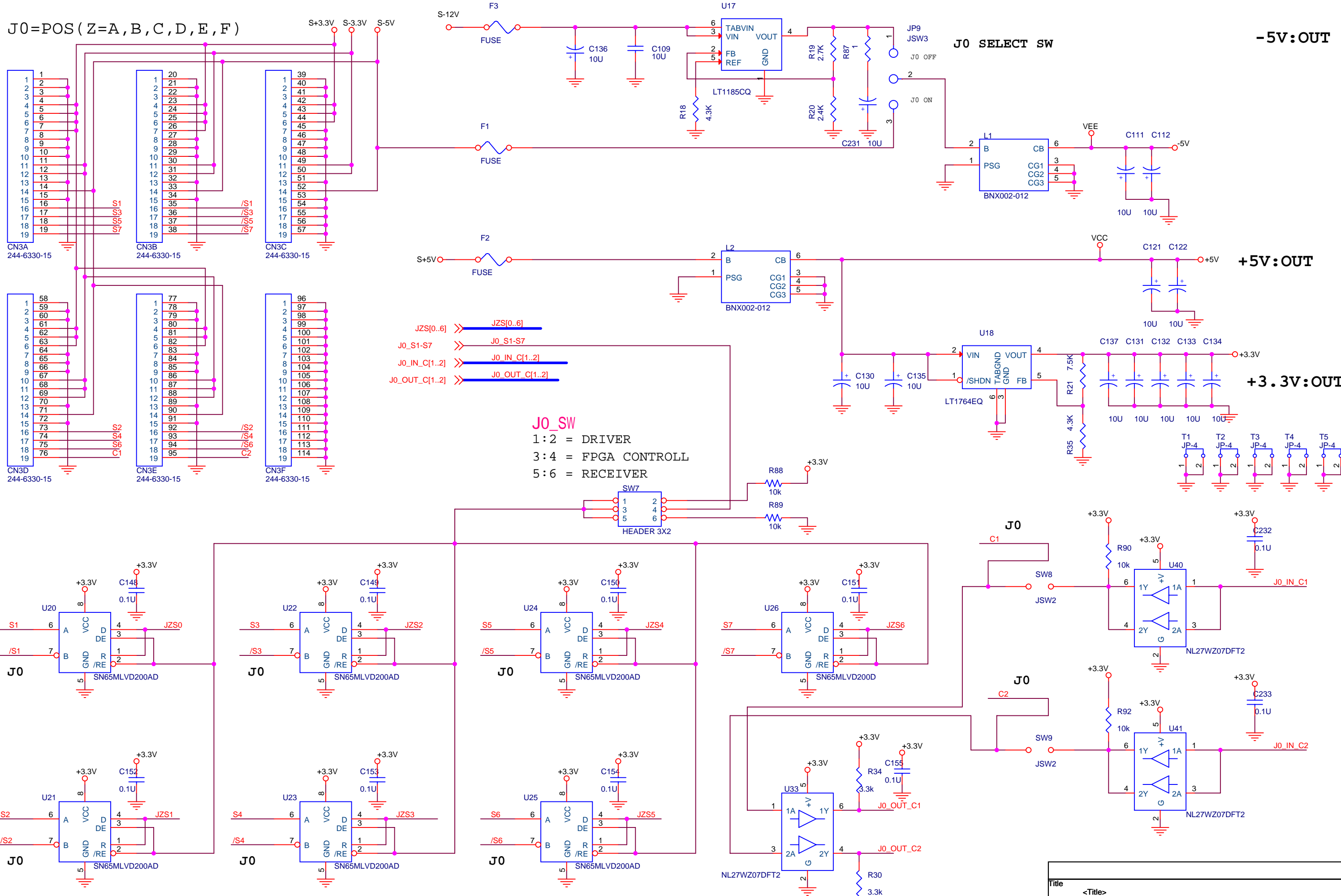
Date: Tuesday, September 09, 2014 Sheet: 2 of 4



BGn(0-3) IN+BGn(0-3)OUTの接続間違いを修正



J0=POS(Z=A,B,C,D,E,F)



JZS[0..6] >> JZS[0..6]  
 J0\_S1-S7 >> J0\_S1-S7  
 J0\_IN\_C[1..2] >> J0\_IN\_C[1..2]  
 J0\_OUT\_C[1..2] >> J0\_OUT\_C[1..2]

**J0\_SW**  
 1:2 = DRIVER  
 3:4 = FPGA CONTROLL  
 5:6 = RECEIVER

04.4.5 S1からS7までTX固定にし、C1/C2は単なるレシーバーにし  
 14.6.30 S1からS7まで、SW+FPGAコントロールでドライバ/レシーバ切り替え。C1/C2はドライバ/レシーバーにする。

Title			<Title>
Size	Document Number	Rev	
A3	<Doc>	<RevCode>	
Date:	Tuesday, September 09, 2014	Sheet	4 of 4