

# MWPC READOUT SYSTEM

2000年1月26日

KEK 回路室

## 1 概要

本 MWPC Readout System は、特殊 VME クレート、VME コントローラー、PORQ (Control Signal Distributor)、HOG (Signal Latch) および ASD Board から構成される。

クレートは、21 スロット 6U VME で、左側 5 スロットは標準の J1/J2 バックプレーンでデータ読み出しやコントロールのための標準 VME モジュールを挿入することができる。右側 16 スロットは標準の J1 バックプレーンと特殊 J2 バックプレーンからでき、最も右側のスロットは PORQ モジュール専用、残り 15 スロットは HOG モジュール専用である。特殊 J2 バックプレーンは、PORQ と HOG モジュールに -5.2V、+3.3V と -3.3V を供給するとともに、PORQ から供給されるコントロール信号を HOG に配信する働きをする。HOG は、ASD Board からのヒット信号を受信し、PORQ からの制御信号によりヒット信号をラッチするモジュールである。データは、VME コントローラー(市販品)により読み出される。PORQ と HOG はそれぞれ専用スロットのみに挿入してください。J2 コネクタを使用した標準 VME モジュールの PORQ、HOG 専用スロットへの挿入は、絶対にやめてください。また ASD Board は、回路室で開発された CXA3183Q (SONY) IC を用いたポート以外は使用できません。

## 2 動作説明

### 2.1 PORQ モジュール

PORQ は、下記のコントロール信号を生成または外部から受信し、特殊 J2 バックプレーンを経由して HOG に配信する。

#### CLK

制御クロック。内臓 50MHz と外部からの NIM レベルのクロックを切り替えることができる。切り替えは、ジャンパー・スイッチ SW4。

#### INIT

PORQ と HOG の初期化信号。外部からの NIM 信号と VME からの命令の OR。Delay を変更後は、INIT の発信を必要とする。

#### CLR

HOG のための Clear 信号。Trigger 信号によるデータ処理が終了後、自動的に生成される。

#### Trigger

外部からの NIM 信号または VME からの命令により生成される。また、Test Pulse 出力後、設定された時間後に自動的に生成されることもできる。

#### Event Number (8-bit)

Trigger 信号により増加する内臓 8-bit カウンターの値。INIT 信号および VME からの命令によりクリアされる。

#### Gate Width 1 (4-bit)

HOG が ASD からの信号をラッチする時のゲート幅を決める。ゲート幅は、CLK 周期と 4-bit の値の積となる。値はディップ・スイッチ SW6 により決める。

#### Gate Width 2 (4-bit)

HOG が ASD からの信号をラッチする時のゲート幅を決める。ゲート幅は、CLK 周期と 4-bit の値の積となる。値は VME からの書き込みにより決める。

#### Delay 1 (6-bit)

ASD からの信号用デジタル遅延回路の設定値を与える。遅延長は、CLK 周期と 6-bit の値の積となる。値はディップ・スイッチ SW5 により決める。

#### Delay 2 (6-bit)

ASD からの信号用デジタル遅延回路の設定値を与える。遅延長は、CLK 周期と 6-bit の値の積となる。値は VME からの書き込みにより決める。

#### Vth 1

ASD 用の閾値電圧。フロントパネルのポテンシオメーターまたは 8-bit DAC (VME からの書き込み) により決める。切り替えは、ジャンパー・スイッチ SW15。また極性の切り替えは、ジャンパー・スイッチ SW9、10、11。アノード用は負電圧、カソード用は正電圧で、 $\pm 500\text{mV}$  の範囲で設定する。値はフロントパネル上のテストピンおよび内臓 8-bit ADC によりモニター可能。

#### Vth 2

ASD 用の閾値電圧。フロントパネルのポテンシオメーターまたは 8-bit DAC (VME からの書き込み) により決める。切り替えは、ジャンパー・スイッチ SW16。また極性の切り替えは、ジャンパー・スイッチ SW12、13、14。アノード用は負電圧、カソード用は正電圧で、 $\pm 500\text{mV}$  の範囲で設定する。値はフロントパネル上のテストピンおよび内臓 8-bit ADC によりモニター可能。

#### Test Pulse

外部からの NIM 信号または VME からの命令により生成される。極性は、VME からの命令で可変。Trigger 信号が設定された時間後に自動生成される。Trigger

信号生成のマスクは VME からの命令で行う。時間の設定は内部の 8-bit レジスタへの書き込みで行う。値は CLK 周期と 8-bit の値の積となる。

また、PORQ は Busy 信号を NIM レベルで出力します。Busy 信号は Trigger 信号の受信で 1 となり、全 HOG モジュールがヒット・データを FIFO メモリに格納終了後 0 となる。

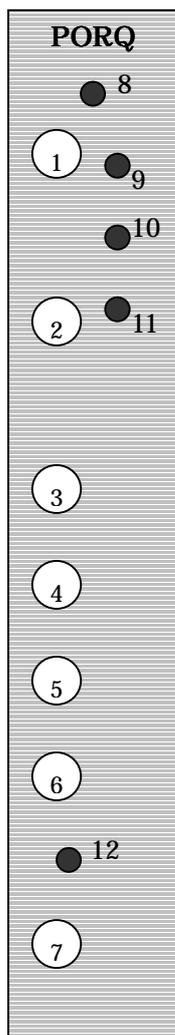
## 2.2 HOG モジュール

HOG は、J2 バックプレーン経由で PORQ から供給される各種コントロール信号を用いて、ASD Board からの信号の処理を行う。HOG は、ASD Board からの LVDS レベルのヒット信号を受信し FIFO を用いたデジタル遅延回路に入力する。1 つの ASD Board は 16 チャンネルから構成されており、1 台の HOG で最大 4 つの ASD Board (合計 64 チャンネル) を読み出すことができる。各 ASD Board からのヒット信号は ASD Board ごとに 16 チャンネル OR され NIM 信号としてフロントパネルから出力される。また HOG は、+3.3V と -3.3V の電源を ASD Board に供給する。さらに閾値電圧 ( $V_{th}$ ) と Test Pulse を ASD Board に供給する。Test Pulse の極性は、ジャンパー・スイッチ SY30 により切り替え可能である (PORQ 上でも VME からの命令で切り替えられるので注意)。閾値電圧は、J2 バックプレーンから 2 種類供給されており ( $V_{th1}$  と  $V_{th2}$ )、ジャンパー・スイッチ SW9、10 により一方を選択する。デジタル遅延回路の遅延量は、J2 バックプレーンから与えられる 6-bit の信号 Delay 1 または Delay 2 で決定される。Delay 1 または Delay 2 の選択は、ジャンパー・スイッチ SW5 により決める。実際の遅延長は、CLK 周期と 6-bit の値の積となる。遅延値の変更は、PORQ から行ない、PORQ からの INIT 信号の受信で有効になる。デジタル遅延回路からの出力は、Gate Latch 回路により Trigger 信号のタイミングでラッチされる。Trigger 信号は J2 バックプレーンから供給される。ラッチの際のゲート幅は、Gate Width 1 と Gate Width 2 の 4-bit 信号 2 種類が供給されており、ジャンパー・スイッチ SW6 により切り替えられる。遅延信号の立ち上りまたは立ち下りのタイミングがゲート内に来た時にヒットとみなされる。立ち上り (アノード信号時) と立ち下り (カソード信号時) のどちらをとるかは、ジャンパー・スイッチ SW4 で決める。ゲート幅は、CLK 周期と 4-bit の値の積である。ラッチされたヒット・データは、8-bit の Event Number とともに FIFO メモリに格納される。最大、トリガー 819 回分のデータを保持することができる。

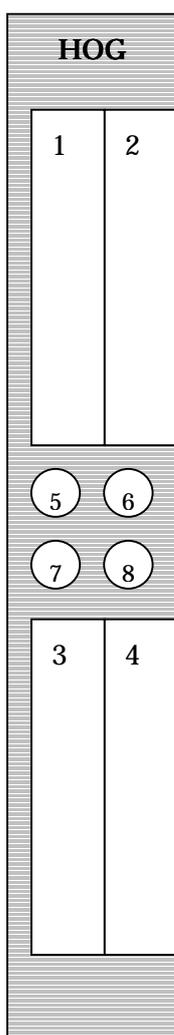
### 3 仕様

#### 3.1 フロントパネル

PORQ、HOG のフロントパネルには次のように、入出力端子、ポテンシオメーター、LED が装備されている。



#	PORQ のフロントパネル
1	Vth 1 設定用ポテンシオメーター
2	Vth 2 設定用ポテンシオメーター
3	外部クロック (CLK) 入力 (NIM)
4	トリガー (Trigger) 入力 (NIM)
5	テストパルス (Test Pulse) 入力 (NIM)
6	システム初期化信号 (INIT) 入力 (NIM)
7	Busy 出力 (NIM)
8	VME アクセス時点灯
9	Vth 1 用テスト電圧出力端子
10	グラウンド出力端子
11	Vth 2 用テスト電圧出力端子
12	Busy 出力時点灯



#	HOG のフロントパネル
1	20 対ツイストペア・ケーブル コネクタ。0 – 15 ch の ASD Board からのヒット信号 (LVDS) の入力と、Vth 電圧、Test Pulse 信号の出力。電源も ASD Board に供給する。
2	20 対ツイストペア・ケーブル コネクタ。16 – 31 ch の ASD Board からのヒット信号 (LVDS) の入力と、Vth 電圧、Test Pulse 信号の出力。電源も ASD Board に供給する。
3	20 対ツイストペア・ケーブル コネクタ。32 – 47 ch の ASD Board からのヒット信号 (LVDS) の入力と、Vth 電圧、Test Pulse 信号の出力。電源も ASD Board に供給する。
4	20 対ツイストペア・ケーブル コネクタ。48 – 63 ch の ASD Board からのヒット信号 (LVDS) の入力と、Vth 電圧、Test Pulse 信号の出力。電源も ASD Board に供給する。
5	0 – 15 ch のヒット信号の OR 出力 (NIM)。
6	16 – 31 ch のヒット信号の OR 出力 (NIM)。
7	32 – 47 ch のヒット信号の OR 出力 (NIM)。
8	48 – 63 ch のヒット信号の OR 出力 (NIM)。

### 3.2 PORQ の VME BUS インターフェイス

アクセス・モード : A24

データ転送モード : word (D16)

アドレス・スペース : BA + 0x0 ~ BA + 0xe

上位 20-bit (A4-23)のベース・アドレスはディップ・スイッチで設定する。

SW19(A4-7)、SW18(A8-15)、SW17(A16-23)。基板上のシルクを参照。

アドレス・マップ : レジスタ・アドレス : BA + 0x0 ~ BA + 0xe

### 3.3 HOG の VME BUS インターフェイス

アクセス・モード : A24

データ転送モード : word (D16)

アドレス・スペース : BA + 0x0 ~ BA + 0x6

上位 21-bit (A3-23)のベース・アドレスはシッパ・スイッチで設定する。SW3(A3-7)、SW2(A8-15)、SW1(A16-23)。基板上のシルクを参照。

アドレス・マップ : レジスタ・アドレス : BA + 0x0 ~ BA + 0x6

### 3.4 PORQ のスイッチ設定

SW4 : 内部 CLK (INT) と外部 CLK (EXT) の切り替え。INT 時は内臓の 50MHz となります。EXT 時はフロント・パネル CLK から NIM 信号で入力。基板上のシルク"EXT"、"INT"を参照。

SW6 : Gate Width 1 の値を決めるディップ・スイッチ。4-bit。基板上のシルク"G0-3"および矢印を参照。

SW5 : Delay 1 の値を決めるディップ・スイッチ。6-bit。基板上のシルク"DLY0-5"および矢印を参照。

SW15 : Vth 1 の設定にフロント・パネルのポテンシオメータを使うか DAC を使うかを選ぶ。2 つのジャンパーを一緒に同一方向に設定する。基板上のシルク"POT" (ポテンシオメータ) "DAC"を参照。

SW9、10、11 : Vth 1 の極性を設定。3 つのスイッチを一緒に同一方向に設定する。基板上のシルク"+", "- "を参照。

SW16 : Vth 2 の設定にフロント・パネルのポテンシオメータを使うか DAC を使うかを選ぶ。2 つのジャンパーを一緒に同一方向に設定する。基板上のシルク"POT" (ポテンシオメータ) "DAC"を参照。

SW12、13、14 : Vth 2 の極性を設定。3 つのスイッチを一緒に同一方向に設定する。基板上のシルク"+", "- "を参照。

### 3.5 HOG のスイッチ設定

SY30 : Test Pulse の極性を決める。基板上のシルク"POS"、"NEG"を参照。

SW4 : 入力信号の極性を決める。アノード信号の時は"NEG"、カソード信号の時は"POS"に設定する。

SW9、10 : Vth 1 と Vth 2 の切り替え。2 つのスイッチを一緒に同一方向に設定する。基板上のシルク"VTH1"、"VTH2"を参照。

SW5 : Delay 1 と Delay 2 の切り替え。基板上のシルク"SW"は Delay 1 を、"PROG"は Delay 2 を意味する。

SW6 : Gate Width 1 と Gate Width 2 の切り替え。基板上のシルク"SW"は Gate Width 1 を、"PROG"は Gate Width 2 を意味する。

## 4 ソフトウェア・インターフェイス

### 4.1 PORQ のレジスタの説明

#### 4.1.1 Etc Control Register

アドレス・スペース : BA + 0  
データ転送モード : D16  
アクセス : 書き込み

レジスタへの書き込みにより、コントロール信号の生成を行う。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U												ECNT Reset	TRIG	INIT	Test

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 4	N/U		未使用。
3	ECNT Reset	W	1 を書き込むことにより PORQ の 8-bit Event Counter をリセットする。
2	TRIG	W	1 を書き込むことにより Test Trigger を生成する。
1	INIT	W	1 を書き込むことにより PORQ と HOG 全体を初期化する。
0	Test	W	1 を書き込むことにより Test Trigger、Test Pulse を生成する。Test Pulse と Test Trigger の相対的なタイミングは、Miscellaneous Control Register において設定する。

#### 4.1.2 Event Number Register

アドレス・スペース : BA + 2  
 データ転送モード : D16  
 アクセス : 読み出し

Event Number は 8-bit カウンターで、TRIG 信号によりカウント・アップされる。0 からカウントして 255 まで達すると、次の TRIG で 0 に戻る。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U								ECNT[7:0]							

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 8	N/U		未使用。
7 - 0	ECNT[7:0]	R	PORQ の 8-bit Event Counter の値を表す。

#### 4.1.3 Delay Register

アドレス・スペース : BA + 4  
 データ転送モード : D16  
 アクセス : 読み出し、書き込み

Delay 2 の値の書き込みと、Delay 1 および Delay 2 の値の読み込み。設定は 6-bit で行ない、CLK 周期と 6-bit 値の積が遅延値となる。変更を有効にするには INIT 信号を発信して下さい。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U		DLYD[5:0]					N/U		DLYC[5:0]						

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 14	N/U		未使用。
13 - 8	DLYD[5:0]	R	PORQ 上のディップ・スイッチ SW5 での値。Delay 1 の値となる。
7 - 6	N/U		未使用。
5 - 0	DLYC[5:0]	R/W	VME からの Delay の設定。Delay 2 の値となる。

#### 4.1.4 Vth Read Register

アドレス・スペース : BA + 6  
 データ転送モード : D16  
 アクセス : 読み出し

閾値電圧 Vth 1 と Vth 2 の値が 8-bit ADC により変換されており、その値を読むことができる。値は絶対値で、9.6 mV x 8-bit 値となる。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VTH2R[7:0]								VTH1R[7:0]							

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 8	VTH2R[7:0]	R	Vth 2 の電圧値。
7 - 0	VTH1R[7:0]	R	Vth 1 の電圧値。

#### 4.1.5 Gate Width Register

アドレス・スペース : BA + 8  
 データ転送モード : D16  
 アクセス : 読み出し、書き込み

Gate Width 2 の値の書き込みと、Gate Width 1 および Gate Width 2 の値の読み込み。設定は 4-bit で行ない、CLK 周期と 4-bit 値の積が遅延値となる。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U				GATED[3:0]				N/U				GATEC[3:0]			

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 12	N/U		未使用。
11 - 8	GATED[3:0]	R	PORQ 上のディップ・スイッチ SW6 での値。Gate Width 1 の値となる。
7 - 4	N/U		未使用。
3 - 0	GATEC[3:0]	R/W	VME からの Gate Width の設定。Gate Width 2 の値となる。

#### 4.1.6 Vth Set Register

アドレス・スペース : BA + A  
 データ転送モード : D16  
 アクセス : 書き込み

8-bit DAC により、閾値電圧 Vth 1 と Vth 2 の値を設定する。ただし Vth 1 は SW9、10、11 により、Vth 2 は SW12、13、14 により DAC が有効時のみ意味を持つ。値は絶対値で、10 mV x 8-bit 値となる。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VTH2D[7:0]								VTH1D[7:0]							

BIT #	MNEMONIC	MODE	DESCRIPTION
15 – 8	VTH2D[7:0]	W	Vth 2 の電圧値。
7 – 0	VTH1D[7:0]	W	Vth 1 の電圧値。

#### 4.1.7 Test Pulse Delay Register

アドレス・スペース : BA + C  
 データ転送モード : D16  
 アクセス : 読み出し,書き込み

Test Pulse 信号により自動的に生成される Trigger 信号の、Test Pulse 信号からの遅延値を 8-bit で設定する。遅延値は、CLK 周期と 8-bit 値の積である。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U								TDLY[7:0]							

BIT #	MNEMONIC	MODE	DESCRIPTION
15 – 8	N/U		未使用。
7 – 0	TDLY[7:0]	R/W	Test Pulse – Trigger 間の遅延値。

#### 4.1.8 Miscellaneous Control Register

アドレス・スペース : BA + E  
 データ転送モード : D16  
 アクセス : 読み出し,書き込み

ステータス・レジスタの読み出しと書き込み。

15	7	6	5	4	3	2	1	0
N/U		Mask	POL	VTH2P	VTH1P	DAC2	DAC1	Busy

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 7	N/U		未使用。
6	Mask	R/W	Trigger 信号のマスク。1 でマスク、0 でマスク・オフとなる。デフォルトは 0。
5	POL	R/W	Test Pulse の極性を設定する。1 で負極性、0 で正極性。デフォルトは 0。
4	VTH2P	R	Vth 2 に対する極性の設定状態 (SW12、13、14) を表す。1 ならば正、0 ならば負。
3	VTH1P	R	Vth 1 に対する極性の設定状態 (SW9、10、11) を表す。1 ならば正、0 ならば負。
2	DAC2	R	Vth 2 の設定方法を表す。1 ならば DAC、0 ならばポテンシヨメーター。
1	DAC1	R	Vth 1 の設定方法を表す。1 ならば DAC、0 ならばポテンシヨメーター。
0	Busy	R	PORQ と HOG モジュールの Busy 信号。1 ならば Busy、0 ならば not Busy。

## 4.2 HOG のレジスタの説明

### 4.2.1 Data Read

アドレス・スペース : BA + 0  
データ転送モード : D16  
アクセス : 読み出し

Event Number とヒット・データの読み出し。FIFO メモリで、データは一度アクセスされる度に、次のデータに更新される。Event Number は、PORQ での Event Counter の値が渡されたものである。

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DATA[15:0]

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 0	DATA[15:0]	R	FIFO メモリから Event Number とヒット・データを読み出す。1 イベント(1 Trigger)につき 5 ワード (5 回) 読み出す必要がある。1 回目の読み出しで Event Number が得られる。2 回目は 0 - 15 ch、3 回目は 16 - 31 ch、4 回目は 32 - 47 ch、5 回目は 48 - 63 ch のヒット・データがそれぞれ得られる。Event Number は 8-bit で与えられるので、下位 8-bit のみ有効。

#### 4.2.2 Reset-Clear Register

アドレス・スペース : BA + 2  
 データ転送モード : D16  
 アクセス : 書き込み

レジスタへの書き込みにより Reset 信号または Clear 信号を生成し、HOG のリセットを行う。リセットには、HOG 全体のリセット（全初期化）と、FIFO メモリ以外のリセットがある。HOG は、Reset 信号または J2 バックプレーン経由で PORQ から出力される INIT 信号により全初期化される。また、Clear 信号または J2 バックプレーン経由で PORQ から出力される CLR 信号により FIFO 以外の初期化が行われる。Delay 1 または Delay 2 の変更後は、全初期化が必要である。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/U														Reset	Clear

BIT #	MNEMONIC	MODE	DESCRIPTION
15 - 4	N/U		未使用。
1	Reset	W	HOG の全初期化。
0	Clear	W	FIFO を除く初期化。

### 4.2.3 Status Register

アドレス・スペース : BA + 4  
 データ転送モード : D16  
 アクセス : 読み出し

HOG の設定状態と FIFO メモリの状態の読み出し。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Full	Empty	TPOL	POL	Gate	Delay	Vth	N/U								

BIT #	MNEMONIC	MODE	DESCRIPTION
15	Full	R	FIFO メモリの Full Flag を表す。1 ならば full、0 ならば not full。
14	Empty	R	FIFO メモリの Empty Flag を表す。1 ならば empty、0 ならば not empty。
13	TPOL	R	Test Pulse の極性の設定 (ジャンパー・スイッチ SY30) を表す。1 ならば POS、0 ならば NEG。
12	POL	R	入力信号の極性に設定 (ジャンパー・スイッチ SW4) を表す。0 ならばアノード信号用、1 ならばカソード信号用。
11	Gate	R	Gate Width の設定 (ジャンパー・スイッチ SW6) を表す。0 ならば Gate Width 1 (“SW”)、1 ならば Gate Width 2 (“PROG”) が選択されている。
10	Delay	R	Delay の設定 (ジャンパー・スイッチ SW5) を表す。0 ならば Delay 1 (“SW”)、1 ならば Delay 2 (“PROG”) が選択されている。
9	Vth	R	ASD 用の閾値電圧の設定 (ジャンパー・スイッチ SW9,10) を表す。0 ならば Vth 1、1 ならば Vth 2 が選択されている。
8 - 0	N/U		未使用。

## 5 使い方

### 5.1 パラメーターの設定

設定可能なパラメーターは、以下の通りである。

1. 制御クロック CLK (内臓 50MHz または外部から)
2. 閾値電圧 Vth (ポテンショメーターまたは VME 書き込みによる DAC、Vth 1 または Vth 2)
3. ゲート幅 Gate Width (ディップ・スイッチまたは VME 書き込み)
4. アノード用、カソード用切り替え
5. ヒット信号の遅延時間 Delay (ディップ・スイッチまたは VME 書き込み)
6. Test Pulse (外部からまたは VME 書き込み、極性)
7. ASD Board への電源電圧

次にパラメーター設定の詳細について述べる。

#### 5.1.1 制御クロックの選択

CLK は PORQ 上のジャンパー・スイッチ SW4 により、内部 CLK (50MHz)、外部 CLK が選択できる。SW4 を INI にすると内部 CLK、EXT にすると外部 CLK に設定される。外部 CLK は PORQ のフロントパネル上の LEMO コネクタから NIM 信号で入力する。

#### 5.1.2 Test Pulse の極性の設定

Test Pulse の極性の設定は、PORQ と HOG からでき、2 つの設定の組み合わせで決まる。PORQ での極性の設定は、VME からの Miscellaneous Control Register (4.1.8 参照)への書き込みでのみ行える。POL = 1 で負極性、POL = 0 で正極性となる。HOG での極性の設定は、HOG 上のジャンパー・スイッチ SY30 を用いて行う。

	PORQ: POL (Test Pulse)	HOG: SY30 (Test Pulse)	HOG: SW4
アノード読み出し	POL = 1 (NEG)	POS	NEG
アノード読み出し	POL = 0 (POS)	NEG	NEG
カソード読み出し	POL = 1 (NEG)	NEG	POS
カソード読み出し	POL = 0 (POS)	POS	POS

### 5.1.3 アノード読み出し、カソード読み出しの設定

アノード読み出し、カソード読み出しの切り替えは、HOG 上のジャンパー・スイッチ SW4 で行う。“NEG”はアノード用、“POS”はカソード用である。

### 5.1.4 閾値電圧の設定

PORQ のは ASD Board に対する閾値電圧として、Vth 1 と Vth 2 という 2 つの値を設定できる。それぞれの電圧設定は、DAC もしくはポテンショメーターから行うことができる。どちらの設定を用いるかは、Vth 1 については PORQ 上のジャンパー・スイッチ SW15 で、Vth 2 については PORQ 上のジャンパー・スイッチ SW16 で選択する。DAC を選択した場合は、VME からの書き込みにより設定する(Vth Set Register)。極性は、PORQ 上のジャンパー・スイッチ(Vth 1 : SW9,10,11, Vth 2 : SW12,13,14)で設定する。HOG が Vth 1 と Vth 2 のどちらの電圧を閾値として選ぶかは、HOG 上のジャンパー・スイッチ SW9、10 で選択する。アノード用は負電圧、カソード用は正電圧であり、100mV ぐらいが目安である。

### 5.1.5 ゲート幅の設定

PORQ はゲート幅として、Gate Width 1 と Gate Width 2 という 2 つの値を設定できる。Gate Width 1 は PORQ 上の 4-bit ディップ・スイッチ SW6 により、Gate Width 2 は VME からの Gate Width Register への書き込みにより設定される(Gate Width Register)。HOG が Gate Width 1 と Gate Width 2 のどちらの値をゲート幅に選ぶかは、HOG 上のジャンパー・スイッチ SW9 で選択する。ゲート幅は CLK の周期と 4-bit 値の積となる。

### 5.1.6 遅延時間の設定

PORQ は遅延時間として、Delay 1 と Delay 2 という 2 つの値を設定できる。Delay 1 は PORQ 上のディップ・スイッチ SW6(6-bit)により、Delay 2 は VME からの Delay Register への書き込みにより設定される(Delay Register)。HOG が Delay 1 と Delay 2 のどちらの値をゲート幅に選ぶかは、HOG 上のジャンパー・スイッチ SW5 で選択する。遅延時間は CLK の周期と 6-bit 値の積となる。設定変更は、初期化 (INIT) を行う必要があります。

### 5.1.7 Test Pulse Trigger の設定

PORQ は、VME からの書き込みにより Test Pulse と Trigger 信号を生成できる (Etc Control Register)。Test Pulse 出力時には、Test Pulse から設定された遅延時間後に自動的に Trigger 信号が生成される。この遅延時間の設定は、PORQ 上の Test Pulse Delay Register により行う。遅延時間は CLK の周期と 8-bit 値の積となる。

#### 5.1.8 ASD Board への電源電圧の設定

本システムでの+3.3V と-3.3V は、ASD Board と閾値電圧の生成のためのものです。これらの電圧は、実際の使用の時に ASD Board 上での電圧が+3.0V、-3.0V になる様に調整してください。ASD Board と HOG を繋ぐケーブルの長さにより電圧降下が異なるため、実際のセットアップで調整してください。

## 6 Pin Assignment

ASD Board と HOG を繋ぐツイスト・ケーブルのピン配置は以下のとおりです。

Pin No.	Name	Name	Pin No.
1	GND	Vth	2
3	-3.3V	GND	4
5	+3.3V	+3.3V	6
7	Test Pulse	/Test Pulse	8
9	Hit0	/Hit0	10
11	Hit1	/Hit1	12
13	Hit2	/Hit2	14
15	Hit3	/Hit3	16
17	Hit4	/Hit4	18
19	Hit5	/Hit5	20
21	Hit6	/Hit6	22
23	Hit7	/Hit7	24
25	Hit8	/Hit8	26
27	Hit9	/Hit9	28
29	Hit10	/Hit10	30
31	Hit11	/Hit11	32
33	Hit12	/Hit12	34
35	Hit14	/Hit14	36
37	Hit15	/Hit15	38
39	Hit16	/Hit16	40

PORQ と HOG 用の J2 コネクタのピン配置を以下に示します。CLK、Trigger、Test Pulse の信号は、PORQ から各 HOG モジュールまでの時間遅延が同じになる様に、J2 バックプレーン上で等長配線されています。その他の信号線、RSV はバス配線になっています。

PORQ の J2 コネクタ

Pin No.	ROW A	ROW B	ROW C
1	+5V	+5V	+5V
2	GND	GND	GND
3	+3.3V	+3.3V	+3.3V
4	+3.3V	+3.3V	+3.3V
5	-3.3V	-3.3V	-3.3V
6	-3.3V	-3.3V	-3.3V
7	-5.2V	-5.2V	-5.2V
8	-5.2V	-5.2V	-5.2V
9	GND	GND	GND
10	Vth 1	Vth 1	Vth 1
11	Vth 2	Vth 2	Vth 2
12	GND	GND	GND
13	NC	+5V	NC
14	NC	Gate Width 1-3	NC
15	NC	Gate Width 1-2	NC
16	Delay 1-5	Gate Width 1-1	Delay 2-5
17	Delay 1-4	Gate Width 1-0	Delay 2-4
18	Delay 1-3	Gate Width 2-3	Delay 2-3
19	Delay 1-2	Gate Width 2-2	Delay 2-2
20	Delay 1-1	Gate Width 2-1	Delay 2-1
21	Delay 1-0	Gate Width 2-0	Delay 2-0
22	NC	GND	NC
23	RSV	Event Number 7	RSV
24	Test Pulse	Event Number 6	RSV
25	Test Pulse	Event Number 5	/Busy
26	Test Pulse	Event Number 4	/INIT
27	Test Pulse	Event Number 3	/CLR
28	GND	Event Number 2	GND
29	CLK	Event Number 1	/Trigger
30	CLK	Event Number 0	/Trigger
31	CLK	GND	/Trigger
32	CLK	+5V	/Trigger

HOG の J2 コネクタ

Pin No.	ROW A	ROW B	ROW C
1	+5V	+5V	+5V
2	GND	GND	GND
3	+3.3V	+3.3V	+3.3V
4	+3.3V	+3.3V	+3.3V
5	-3.3V	-3.3V	-3.3V
6	-3.3V	-3.3V	-3.3V
7	-5.2V	-5.2V	-5.2V
8	-5.2V	-5.2V	-5.2V
9	GND	GND	GND
10	Vth 1	Vth 1	Vth 1
11	Vth 2	Vth 2	Vth 2
12	GND	GND	GND
13	NC	+5V	NC
14	NC	Gate Width 1-3	NC
15	NC	Gate Width 1-2	NC
16	Delay 1-5	Gate Width 1-1	Delay 2-5
17	Delay 1-4	Gate Width 1-0	Delay 2-4
18	Delay 1-3	Gate Width 2-3	Delay 2-3
19	Delay 1-2	Gate Width 2-2	Delay 2-2
20	Delay 1-1	Gate Width 2-1	Delay 2-1
21	Delay 1-0	Gate Width 2-0	Delay 2-0
22	NC	GND	NC
23	RSV	Event Number 7	RSV
24	GND	Event Number 6	RSV
25	GND	Event Number 5	/Busy
26	GND	Event Number 4	/INIT
27	Test Pulse	Event Number 3	/CLR
28	GND	Event Number 2	GND
29	GND	Event Number 1	GND
30	GND	Event Number 0	GND
31	GND	GND	GND
32	CLK	+5V	/Trigger